

UNIVERSITÀ DEGLI STUDI DI PARMA

Dottorato di Ricerca in Tecnologie dell'Informazione

XXII Ciclo

**Studio ed implementazione di convertitori A/D ad
approssimazioni successive per applicazioni a frequenze
medio-alte**

Coordinatore:

Chiar.mo Prof. Carlo Morandi

Tutor:

Chiar.mo Prof. Andrea Boni

Dottorando: *Marco Bigi*

Gennaio 2010

A Giorgia

Alla mia famiglia

Sommario

Introduzione	1
1 Parametri degli ADC	5
1.1 Introduzione	5
1.2 Analisi Armonica	5
1.2.1 SINAD	6
1.2.2 ENOB	6
1.2.3 SNR	7
1.2.4 THD	7
1.2.5 SFDR	7
1.2.6 SFSR	7
1.2.7 Figura di Merito	8
1.3 Analisi Code-Density	8
1.3.1 Offset	9
1.3.2 Guadagno	9
1.4 INL e DNL	9
2 Architettura del convertitore per medie frequenze	13
2.1 Introduzione	13
2.2 Convertitore complessivo	14
2.3 Singola slice	15
2.4 Architettura del DAC	16

2.5	DAC modificato	19
2.6	Implementazione degli interruttori di modo comune	20
2.7	Banda di ingresso	23
2.8	Interferenza fra slice	24
2.9	Comparatore	26
2.10	Interazione comparatore-DAC	26
2.11	Registro SAR	28
3	Misure effettuate	33
3.1	Introduzione	33
3.2	Decimatore	35
3.3	Correzione dell'offset	35
3.4	Mismatch fra slice	36
3.5	Conclusioni	42
4	Architettura del convertitore per alte frequenze	45
4.1	Introduzione	45
4.2	Criticità generali	46
4.2.1	Clock Skew	46
4.2.2	Bit Error Rate del Comparatore	48
4.3	Limiti del SAR per medie frequenze	49
4.3.1	Vincoli temporali	49
4.3.2	Interferenza fra slice	52
4.3.3	Interruttori di modo comune	53
4.4	Architettura per alte frequenze	55
4.5	Conclusioni	57
	Bibliografia	61
	Ringraziamenti	63

Elenco delle figure

1	Alcune architetture tipiche di ADC e loro applicazioni in base a risoluzione e velocità.	4
1.1	Funzione di trasferimento degli ADC: a) ideale; b) con il solo offset; c) con il solo errore di guadagno; d) caso generale.	11
2.1	Architettura time-interleaved del convertitore.	15
2.2	Schema a blocchi generale di un convertitore SAR ed algoritmo di ricerca.	16
2.3	DAC differenziale a capacità commutate.	17
2.4	DAC modificato secondo la tecnica del merging capacitivo.	21
2.5	Implementazione degli interruttori S_{1p} ed S_{1n}	22
2.6	Circuito di ingresso durante la fase acquisizione del DAC e sua semplificazione.	23
2.7	a) Diagramma asintotico di FdT_1 . b) FdT_1 ottenuta da simulazione .	24
2.8	a) Diagramma asintotico di FdT_2 . b) FdT_2 ottenuta da simulazione .	25
2.9	Fenomeno di interferenza fra slice.	25
2.10	Comparatore: a) Architettura; b) Principio di funzionamento.	27
2.11	Interazione comparatore-DAC: principio di funzionamento.	28
2.12	Architettura classica e percorso critico.	29
2.13	SAR modificato: architettura.	30
2.14	SAR modificato: andamento di alcuni dei principali segnali.	31
2.15	Architettura completamente sincrona.	31

3.1	Foto del chip.	34
3.2	Scheda utilizzata per i test.	34
3.3	Effetto del decimatore.	36
3.4	Sinusoide ricostruita con e senza compensazione dell'offset.	37
3.5	Spettro dei campioni non compensati.	37
3.6	Spettro dei campioni compensati.	38
3.7	Spettro dei campioni compensati intorno alla fondamentale.	40
3.8	Spettro dei campioni compensati intorno ad un contributo di mismatch sull'offset.	40
3.9	INL della slice 5 con metodo best-fit.	41
3.10	DNL della slice 5 con metodo best-fit.	42
3.11	Spettro dei campioni compensati con i valori di offset estrapolati dall'analisi CD.	43
4.1	Clock skew nei sistemi time-interleaved.	47
4.2	ENOB in funzione dello skew.	47
4.3	Comparatore: a) Schema; b) Andamento di V_{OUTn} per segnale di ingresso di ampiezza decrescente.	48
4.4	Andamento del segnale differenziale in ingresso al comparatore.	50
4.5	Interferenza fra slice: a) nuovo pilotaggio degli interruttori di modo comune; b) configurazione degli interruttori all'istante $t_i + \Delta t_2$	52
4.6	Architettura a V_{gs} costante degli interruttori di modo comune.	53
4.7	Architettura con doppio time-interleaving del convertitore per alte frequenze.	55
4.8	Temporizzazione dei due CORE.	56
4.9	Layout del convertitore per alte frequenze.	59

Elenco delle tabelle

1	Blocchi analogici in alcune architetture di convertitori A/D.	3
2	Specifiche salienti degli ADC progettati.	4
2.1	Specifiche salienti del convertitore per medie frequenze.	13
2.2	Potenziali associati agli interruttori del DAC durante alcune fasi del ciclo di conversione.	18
2.3	Tecnica di merging adottata degli elementi capacitivi.	20
3.1	Contributi frequenziali dovuti a mismatch fra canali.	38
3.2	Analisi CD e FFT su ogni slice.	41
3.3	Confronto fra il convertitore realizzato ed altre architetture.	44
4.1	Specifiche salienti del convertitore per alte frequenze.	45
4.2	Limiti superiore ed inferiore del duty-cycle al variare per alcuni valori f_{CK} di interesse. Parametri: $t_{cross} = 500ps$, $\delta t = 40ps$ e $BER_{target} = 10^{-7}$	51
4.3	Confronto fra il convertitore realizzato ed altri.	58

Introduzione

Negli anni si è assistito alla massiccia diffusione di sistemi portatili quali telefoni cellulari e computer. Requisiti fondamentali per tali oggetti sono la funzionalità, il peso e la vita della batteria di alimentazione. Un passo fondamentale verso tali obiettivi è stata l'introduzione di architetture completamente implementate su silicio (SoC, System on Chip), che, godendo dei notevoli vantaggi dello scaling tecnologico e dell'eliminazione dei parassiti di packaging tipici dei componenti discreti, consentono di spingere le frequenze di funzionamento dei sistemi integrati verso valori sempre più alti. La sfida principale dei progettisti nell'era dell'informazione è cercare il compromesso fra velocità di funzionamento e consumo di potenza, elementi che si muovono in contrapposizione fra loro. Per questo motivo, negli ultimi anni i progettisti studiano soluzioni innovative per cercare di raggiungere entrambi gli obiettivi. Uno dei settori in maggiore fermento è quello dei convertitori analogico-digitali (ADC, Analog-to-Digital Converter) e digitale-analogici (DAC, Digital-to-Analog Converter), dato il loro utilizzo in settori fondamentali quali grafica computazionale, TV digitale, infrastrutture di telefonia mobile, strumentazione e comunicazioni a larga banda (UWB, Ultra-Wideband Communication).

Tassello fondamentale in questa ricerca è lo scaling delle tecnologie, perché consente di ridurre l'occupazione d'area, limitare i consumi ed aumentare le frequenze di funzionamento dei dispositivi. D'altra parte, proprio lo scaling introduce elementi sfavorevoli quali la riduzione della tensione di alimentazione e l'aumento del riscaldamento per unità di superficie dei sistemi integrati. Mentre il secondo problema viene risolto a livello di circuito stampato (PCB) migliorando i sistemi di raffredda-

mento, la riduzione dell'alimentazione pone vincoli che possono essere superati solo ripensando le architetture dei convertitori. Infatti, un convertitore è costituito da una sezione digitale ed una analogica. Mentre gli elementi digitali traggono, di norma, vantaggio dallo scaling, il progetto dell'elemento chiave dei circuiti analogici, l'amplificatore operazionale, risulta notevolmente complicato dalla riduzione delle tensioni di alimentazione, perché ne vengono intaccate alcune proprietà fondamentali quali stabilità, guadagno e banda di funzionamento. Per questo motivo, la direzione intrapresa nella progettazione dei convertitori è quella di una riduzione sempre maggiore della sezione puramente analogica ed un aumento di quella digitale, cercando di demandare a quest'ultima funzioni che in architetture tradizionali (pipeline e flash) sono svolte da blocchi analogici.

La tabella 1 mette a confronto alcune delle architetture più usate per ADC veloci a parità di risoluzione:

PSAR: architettura costituita da sub-convertitori ad approssimazioni successive (SAR) che operano in modalità time-interleaved; ogni sub-convertitore utilizza un comparatore come unico elemento analogico;

Pipeline: architettura costituita da sub-convertitori disposti in cascata, ognuno dei quali si basa su un amplificatore operazione ad elevato guadagno per fornire il valore analogico da convertire allo stadio successivo;

Flash: architettura che utilizza $2^n - 1$ comparatori (dove n è il numero di bit da risolvere) per confrontare il campione analogico con tutti i livelli di tensione che delimitano le celle di quantizzazione del convertitore.

Si può osservare come l'architettura SAR presenti il minor numero di moduli analogici e che non utilizzi alcun amplificatore. Proprio questa caratteristica rende tale architettura la più indicata per realizzare convertitori ad elevate velocità sfruttando le moderne tecnologie nano-metriche. Infatti, mentre un amplificatore operazionale è di difficile progettazione a basse tensioni di alimentazione, un comparatore è un blocco analogico con una funzionalità molto vicina al digitale e che richiede uno sforzo di progettazione decisamente minore. Tipicamente, la scelta dell'architettura dipende

Architettura	bit	Amplif	Comp	Blocchi Analogici
PSAR	10	0	14	14
Pipeline 1-b/stadio	10	10	10	20
Pipeline 1.5-b/stadio	10	9	21	30
Pipeline 4-b/stadio	10	3	43	46
Flash	10	0	1023	1023

Tabella 1: Blocchi analogici in alcune architetture di convertitori A/D.

da velocità di conversione, risoluzione e consumo di potenza. Volendo limitare il consumo, tipicamente accade che più elevata è la risoluzione, minore è la velocità e viceversa. Per tale motivo, l'architettura flash è spesso adottata per frequenze di conversione molto spinte e risoluzioni basse; l'architettura pipeline è generalmente scelta per velocità e risoluzioni medio-alte. L'architettura SAR ha sempre rivestito un ruolo importante per frequenze intermedie e risoluzioni medio-alte, venendo spesso considerata come seconda scelta rispetto ai convertitori pipeline, come mostrato in Fig. 1. L'avvento delle tecnologie nono-metriche (180nm, 90nm, 65nm ecc.) ha portato in primo piano proprio questa architettura per i motivi descritti precedentemente. Nel presente lavoro di tesi verranno presentati due progetti di convertitori A/D in architettura SAR con risoluzione medio-bassa per entrambi, ma con diversa frequenza di conversione. Scegliendo tecnologie 90nm per entrambi, l'obiettivo capire la possibilità di spingere tale architettura verso le frequenze oltre il GSps, cercando di limitare il consumo di potenza il pi possibile e con esso l'occupazione d'area. In tabella 2 sono riportate le specifiche salienti. Mentre il convertitore del progetto 1 stato anche oggetto di misure, il convertitore del progetto 2 stato implementato fino al livello layout.

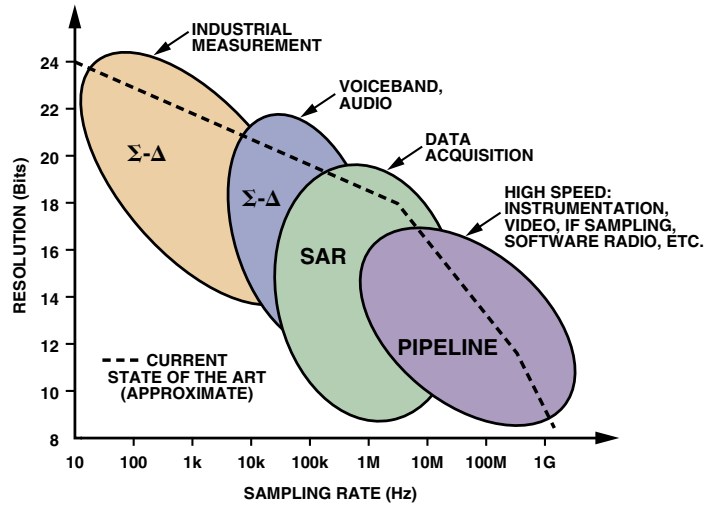


Figura 1: Alcune architetture tipiche di ADC e loro applicazioni in base a risoluzione e velocità.

Parametro	Progetto 1	Progetto 2
Risoluzione nominale	6 bit	6 bit
Frequenza di conversione	125 MSps	1.5 GSps
Range segnale di ingresso	0.5 Vpp	0.5 Vpp
Tecnologia	ST90nm GP	TSMC 90nm LP
Tensione di alimentazione	1-1.2 V	1-1.4 V

Tabella 2: Specifiche salienti degli ADC progettati.

Capitolo 1

Parametri degli ADC

1.1 Introduzione

In questo capitolo verranno presentati alcuni dei parametri che misurano le prestazioni di un ADC. Verrà inoltre presentata la tecnica adottata per ottenere tali valori.

1.2 Analisi Armonica

L'analisi armonica consiste nel sollecitare il convertitore con una sinusoide (test a singolo tono). I parametri distintivi del convertitore vengono ricavati dalla trasformata di Fourier della sinusoide ricostruita a partire dai campioni di uscita. L'ampiezza della sinusoide di ingresso è tipicamente inferiore del fondo scala di ingresso del convertitore in modo da evitarne la saturazione ed il conseguente insorgere di armoniche distorsive. La frequenza della sinusoide viene legata alla frequenza di conversione tramite la legge del campionamento coerente:

$$M \cdot f_{in} = J \cdot f_s \quad (1.1)$$

in cui f_{in} ed f_s sono le frequenze del segnale di ingresso e di campionamento rispettivamente, M è il numero di campioni desiderati e J è il numero di periodi del segnale di ingresso nel quale i campioni vengono prelevati. Il campionamento è coerente se

M e J sono interi e primi fra loro. Tutte le volte che l'eq. 1.1 non viene rispettata, si parla di campionamento incoerente e l'elaborazione dei campioni richiede tecniche di finestra particolari.

Per i progetti presentati in questo lavoro di tesi, si è sempre ricorso al campionamento coerente, sia in fase di simulazione che di misurazione. In particolar modo, l'equazione utilizzata è stata:

$$J = \frac{M}{a} - k \Rightarrow f_{in} = \frac{\frac{M}{a} - k}{M} f_s \quad (1.2)$$

dove M è sempre il numero di campioni desiderato, f_{in} ed f_s le frequenze di ingresso e di campionamento, k un numero intero e primo (ad esempio 1, 3, 33 ecc.) ed a un numero intero: se $a = 2$ si eccita il convertitore alla max frequenza (Nyquist), se $a = 4$ si lavora a metà della massima frequenza e così via.

Nei paragrafi seguenti, verranno rapidamente introdotti i parametri più importanti deducibili dallo spettro della sinusoide ricostruita dai campioni digitali.

1.2.1 SINAD

Il SINAD (Signal to Noise And Distortion ratio) è definito come il rapporto fra la potenza della fondamentale e la somma di tutto il rumore e della distorsione. In termini di ampiezza A , il SINAD è calcolato come segue:

$$SINAD_{dB} = 10 \cdot \text{Log} \frac{A_{fondam}^2}{\sum (A_{noise}^2 + A_{dist}^2)} \quad (1.3)$$

1.2.2 ENOB

Lo ENOB (Effective Number Of Bits) è l'effettivo numero di bit del convertitore e tiene in considerazione tutti gli elementi che degradano le prestazioni dell'ADC. Si calcola a partire dal SINAD come segue:

$$ENOB = \frac{SINAD_{dB} - 1.76}{6.02} \quad (1.4)$$

Tanto più questo numero si avvicina alla risoluzione nominale, tanto più il convertitore si avvicina all'idealità.

1.2.3 SNR

Lo SNR (Signal to Noise Ratio) è il rapporto fra la potenza del segnale di ingresso ed il rumore all'uscita del convertitore. In termini di ampiezza A si ha:

$$SNR = 20 \cdot \text{Log} \frac{A_{in}}{A_{noise}} \quad (1.5)$$

1.2.4 THD

Tutte le non-linearità del convertitore generano distorsione che si evidenzia nello spettro tramite l'insorgere di armoniche della fondamentale. THD è definito come il rapporto fra la somma delle potenze delle armoniche e la potenza del segnale. In termini di ampiezza A :

$$THD = 10 \cdot \text{Log} \frac{\sum A_{armoniche}^2}{A_{in}^2} \quad (1.6)$$

Tanto più piccolo è THD, tanto più lineare è il convertitore.

1.2.5 SFDR

E' un altro parametro che misura la linearità del convertitore (Spurious Free Dynamic Range). E' definito come il rapporto fra la potenza della fondamentale e la potenza dell'armonica più evidente. Considerando le ampiezze:

$$SFDR = 20 \cdot \text{Log} \frac{A_{in}}{A_{armonicamax}} \quad (1.7)$$

Più il convertitore è lineare, più SFDR è alto, perché minori saranno le componenti distorsive.

1.2.6 SFSR

E' definito come il rapporto fra l'ampiezza del segnale di ingresso ed il fondo-scala del convertitore. Durante il test di analisi armonica, il segnale di ingresso ha un'ampiezza inferiore al fondo-scala per non rischiare di far saturare il convertitore. In questo caso, lo SFSR (Signal to Full Scale Ratio), venendo espresso in dB, assume valore negativo.

1.2.7 Figura di Merito

La Figura di Merito (FoM, Figure of Merit) è un indice che consente, entro certi limiti, di paragonare convertitori aventi architetture e specifiche di progetto diverse. In letterature sono riportate molte definizioni. In questo lavoro è stata utilizzata l'espressione indicata in [5], che fornisce una misura dell'energia consumata per passo di conversione.

$$FoM = \frac{Power}{2^{ENOB_{f=f_{in}}} \cdot 2 \cdot f_{in}} \left[\frac{J}{conv} \right] \quad (1.8)$$

1.3 Analisi Code-Density

Un ADC possiede una funzione di trasferimento a gradini, come mostrato in Fig. 1.1. I centri delle celle di quantizzazione sono tutti allineati, perciò, tipicamente, invece dei gradini, si preferisce rappresentare solo la retta che unisce i centri. A causa delle non-linearità del convertitore, le soglie di scatto fra le celle si spostano, causando lo spostamento dei loro centri. Al fine di capire quanto distante è il convertitore reale da quello ideale, si esegue l'analisi Code-Density (CD).

Il test viene effettuato fornendo all'ADC una sinusoide e costruendo, a partire dai campioni di uscita, l'istogramma rappresentante le occorrenze per ciascun codice. A partire da questo e supponendo che la caratteristica di trasferimento dell'ADC sia monotona, si possono ricavare le soglie di scatto fra una cella di quantizzazione e l'altra. L'ampiezza della sinusoide è tipicamente maggiore del range di ingresso del convertitore, in modo da definire correttamente le celle di quantizzazione estreme. Se la funzione di trasferimento è fortemente degradata da questa saturazione, è comunque possibile eseguire il test con una sinusoide di ampiezza inferiore, permettendo, quindi, di effettuare anche l'analisi armonica sulla stessa sequenza di campioni digitali.

La funzione di trasferimento può essere determinata convertendo una rampa che esplori tutto il range di ingresso del convertitore. Questo richiede, però, un banco di misura dedicato, come ad esempio tecniche servo-loop. L'analisi CD utilizza, invece, lo stesso banco di misura dell'analisi armonica.

Nei paragrafi seguenti, verranno richiamati i principali parametri che descrivono le non-linearità di un convertitore, facendo sempre riferimento alla Fig. 1.1.

1.3.1 Offset

L'offset è una traslazione rigida della caratteristica. Se il convertitore presenta solo questo errore, come in Fig. Fig. 1.1.b, i centri delle celle rimangono allineati e la retta che li unisce è parallela a quella del caso ideale. Inoltre, la larghezza delle celle intermedie rimane inalterata. Il valore dell'offset è la distanza fra le rette associate alla caratteristica ideale e reale. Se lo spostamento è eccessivo, si può avere la perdita di codici ad un estremo della caratteristica, dipendentemente dal segno della traslazione. Per questo motivo, l'offset viene espresso in termini di LSB (Least Significant Bit). L'offset è recuperabile tramite opportuna compensazione.

1.3.2 Guadagno

L'errore di guadagno comporta una variazione nella pendenza della retta. In Fig. 1.1.c è rappresentato la caratteristica affetta dal solo errore di guadagno. Ancora una volta, i centri delle celle sono allineati, ma la loro larghezza varia rispetto al caso ideale. Anche l'errore di guadagno può essere compensato tramite opportuna procedura.

1.4 INL e DNL

Nel caso più generale possibile, le deformazioni della caratteristica portano i centri delle celle a non essere allineati. Inoltre, la larghezza varia da cella a cella. In questo caso, una volta corretti gli errori di offset e di guadagno per via numerica, la retta interpolante viene calcolata scegliendo uno fra i seguenti approcci: best-fit, che consiste nella minimizzazione dell'errore quadratico, oppure end-point, che consiste nell'unione dei due punti estremi della caratteristica.

La non-linearità integrale (INL, Integral Non-Linearity) è la deviazione di ogni centro cella rispetto alla retta interpolante calcolata. Tipicamente, si riporta solo il massimo valore in LSB.

La non-linearità differenziale (DNL, Differential Non-Linearity) è la differenza fra la larghezza di ogni cella di quantizzazione reale ed ideale. Anche in questo caso, tipicamente viene indicato solo il valore massimo in LSB.

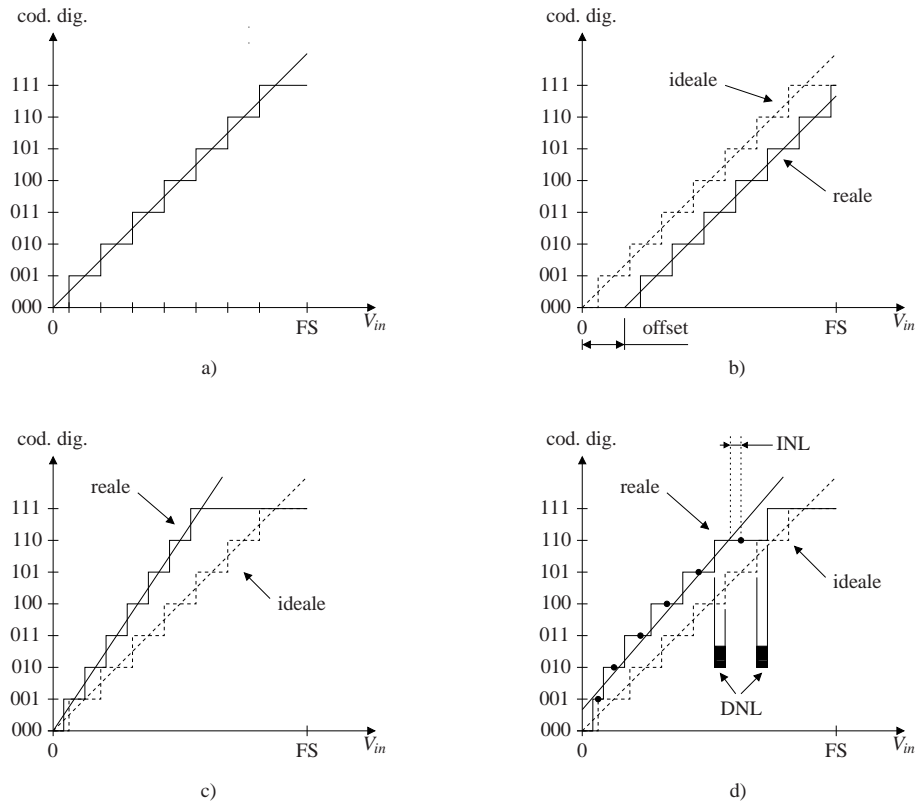


Figura 1.1: Funzione di trasferimento degli ADC: a) ideale; b) con il solo offset; c) con il solo errore di guadagno; d) caso generale.

Capitolo 2

Architettura del convertitore per medie frequenze

2.1 Introduzione

In questo capitolo verranno presentate le scelte architettoniche che contraddistinguono il convertitore per medie frequenze. In tabella 2.1 sono riportate le specifiche salienti del convertitore. Nei paragrafi seguenti, verranno presentati i vari blocchi seguendo un percorso gerarchico dall'alto al basso. Partendo dall'architettura scelta per il convertitore complessivo, si scenderà passo passo fino ad analizzare ogni singolo blocco. Una volta presentata la versione classica, verranno introdotte le scelte eseguite per

Parametro	Progetto 1
Risoluzione nominale	6 bit
Frequenza di conversione	125 MSps
Range segnale di ingresso	0.5 Vpp
Tensione di alimentazione	1-1.2 V
Tecnologia	ST90nm

Tabella 2.1: Specifiche salienti del convertitore per medie frequenze.

limitare il consumo di potenza, discutendone vantaggi e svantaggi rispetto al punto di partenza.

2.2 Convertitore complessivo

Tipicamente, il ciclo completo di un singolo convertitore SAR ad n bit è costituito di $n + 2$ passi: un primo passo per acquisire il dato da convertire; $n + 1$ passi di conversione seguendo l'algoritmo di ricerca binario classico considerando di memorizzare anche il bit meno significativo nel registro SAR. La prima semplificazione riguarda proprio la sequenza delle operazioni. Il convertitore implementato utilizza $n + 1$ fasi, perché lo LSB viene prelevato direttamente dal comparatore senza passare dal SAR. A differenza di architetture a pipeline, prima di poter cominciare ad elaborare un nuovo campione il SAR deve necessariamente aver completamente convertito il campione attuale. Da quanto detto, indicando con f_s la frequenza di conversione e con f_{CK} la frequenza del segnale di clock che cadenza l'algoritmo di conversione, si ottiene:

$$f_{CK} = f_s \cdot (n + 1) \quad (2.1)$$

Considerando le specifiche del convertitore, la sua implementazione in un singolo stadio darebbe luogo ad un frequenza di clock di 875 MHz. Valutando tale valore di difficile gestione, si è preferito utilizzare l'architettura interallacciata proposta in Fig. 2.1. Si tratta di sette convertitori SAR (slice) basati sull'algoritmo di ricerca semplificato ed operanti ognuno con frequenza di conversione di 125 MSps. Tale cascata è ciclicamente temporizzata in modo che l'algoritmo di ogni ADC sia ritardato di una fase rispetto a quello della slice precedente. Complessivamente, ad ogni periodo di clock uno ed uno solo dei convertitori ha terminato la conversione. Tramite il blocco P/S si seleziona l'uscita di questo unico ADC e la si memorizza nel registro esterno che, quindi, opera alla frequenza di conversione. La ciclicità viene gestita passando da una slice all'altra un bit di start (ST_i) che identifica l'inizio del ciclo di conversione per quello stadio.

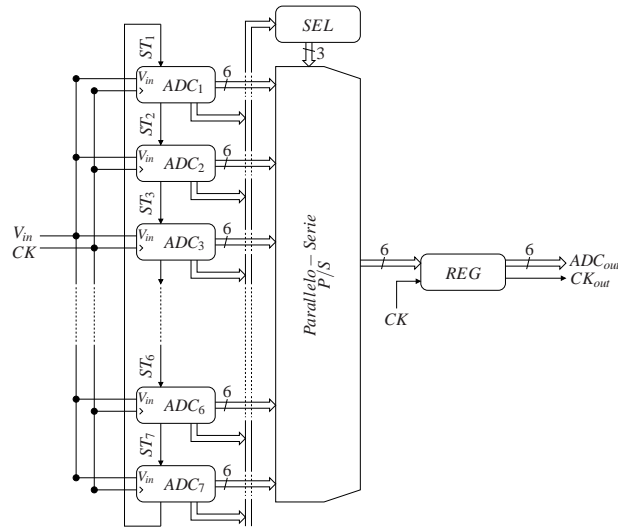


Figura 2.1: Architettura time-interleaved del convertitore.

Si può subito verificare il primo beneficio apportato dall'algoritmo semplificato. Infatti, in una architettura time-interleaved il numero delle slice deve essere pari al numero di passi di cui è composto il ciclo di conversione. La scelta fatta consente quindi di eliminare un sub-convertitore, permettendo, quindi, di risparmiare potenza.

2.3 Singola slice

Ogni singola slice è un convertitore SAR. In Fig. 2.2 è mostrato lo schema a blocchi dell'architettura. Il segnale V_{in} viene campionato da un Sample-and-Hold (S/H) per ottenere il campione analogico da convertire V_H . Tale valore viene confrontato da un comparatore ($COMP$) con il riferimento V_A . Tale riferimento viene generato da un convertitore digitale-analogico (DAC) a partire dai bit fornitigli dal registro SAR . Il risultato del confronto aggiorna di volta in volta la configurazione dei bit di uscita e quindi V_A che ad ogni passo del ciclo approssima sempre meglio il campione ana-

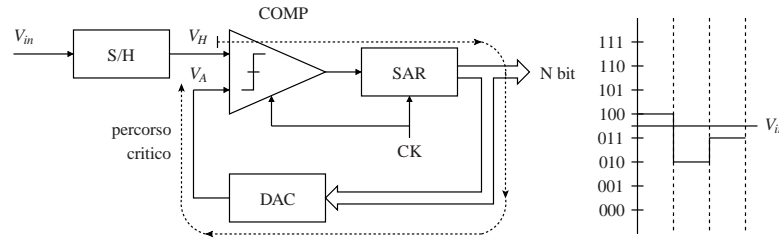


Figura 2.2: Schema a blocchi generale di un convertitore SAR ed algoritmo di ricerca.

logico.

L'anello costituito dai blocchi *COMP*, *SAR* e *DAC*, temporizzato dal segnale di clock, *CK* rappresenta il percorso critico del sistema. Infatti, affinché il *SAR* aggiorni correttamente il suo stato, è necessario che il *COMP* fornisca nel tempo utile un valore logico corretto. Ciò è possibile se il *DAC* stabilizza per tempo V_A una volta che il *SAR* si è aggiornato.

Fra le varie architetture che implementano ogni singolo blocco, è stata scelta quella che garantisce la massima velocità di elaborazione. Il dimensionamento è stato poi eseguito con l'obiettivo di limitare il consumo di potenza.

2.4 Architettura del DAC

L'architettura del DAC è a capacità commutate completamente differenziale. In Fig. 2.3 è mostrata la classica struttura costituita dalle due matrici capacitive a peso binario. Il sistema si basa sul principio di conservazione della carica. Durante la prima fase (acquisizione), gli interruttori S_{1p} e S_{1n} sono chiusi, quindi i piatti interni delle matrici capacitive sono al potenziale di modo comune del segnale differenziale di ingresso (V_c). I piatti esterni della matrice superiore (matrice positiva) vengono collegati a V_{ip} (porzione positiva del segnale di ingresso), mentre la matrice inferiore (matrice negativa) viene collegata a V_{in} (porzione negativa del segnale di ingresso). Le fasi successive corrispondono alla decisione dei bit, dal più significativo (MSB) al meno significativo (LSB): S_{1p} e S_{1n} vengono aperti, mentre gli interruttori p_i e n_i ven-

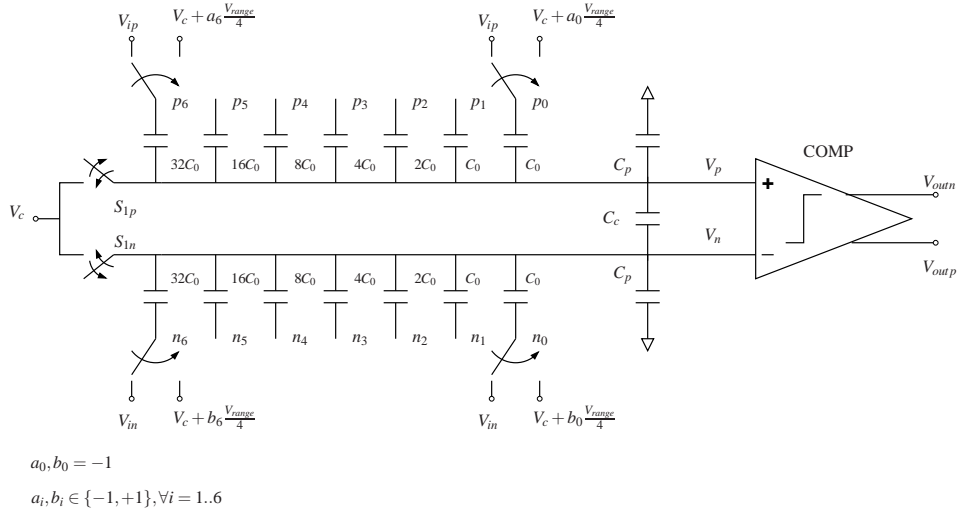


Figura 2.3: DAC differenziale a capacità commutate.

gono collegati a potenziali che dipendono dalla configurazione dei bit provenienti dal SAR. Per l'MSB, tale configurazione è 100000, mentre per il bit di peso 5 la configurazione dipende dal valore di MSB. Supponendo $MSB = 1$, la configurazione per il bit di peso 5 è 110000. In tabella 2.2 sono riportati i potenziali a cui vengono collegati gli interruttori durante queste tre fasi e sotto l'ipotesi fatta $MSB = 1$ ed essendo V_{range} il range di ingresso del convertitore. Ad ogni passo decisionale, la configurazione degli interruttori modifica la distribuzione di carica fra le capacità, pur mantenendo inalterato il valore complessivo accumulato durante la fase di acquisizione. Essendo i piatti interni flottanti, il loro potenziale si sposta con il cambio del profilo di carica nelle matrici. Per una generica configurazione degli interruttori ed ignorando le capacità parassite C_p e C_c , i potenziali di V_p , V_n e V_d (tensione differenziale all'ingresso del comparatore) sono espressi dalle eq. 2.2, 2.3 e 2.4.

$$V_{p-ideale} = -V_{inp} + V_c + \frac{V_{range}}{4 \cdot 2^n} \cdot \left[\sum_{i=1}^n a_i \cdot 2^{i-1} - 1 \right] \quad (2.2)$$

interruttore	acquisizione	decisione MSB	decisione bit peso 5 MSB=1
p_6	V_{ip}	$V_c + \frac{V_{range}}{4}$	$V_c + \frac{V_{range}}{4}$
p_5	V_{ip}	$V_c - \frac{V_{range}}{4}$	$V_c + \frac{V_{range}}{4}$
$p_i \quad i = 4, \dots, 0$	V_{ip}	$V_c - \frac{V_{range}}{4}$	$V_c - \frac{V_{range}}{4}$
n_6	V_{in}	$V_c + \frac{V_{range}}{4}$	$V_c - \frac{V_{range}}{4}$
n_5	V_{in}	$V_c - \frac{V_{range}}{4}$	$V_c + \frac{V_{range}}{4}$
$n_i \quad i = 4, \dots, 0$	V_{in}	$V_c - \frac{V_{range}}{4}$	$V_c - \frac{V_{range}}{4}$

Tabella 2.2: Potenziali associati agli interruttori del DAC durante alcune fasi del ciclo di conversione.

$$V_{n-ideale} = -V_{inn} + V_c + \frac{V_{range}}{4 \cdot 2^n} \cdot \left[\sum_{i=1}^n b_i \cdot 2^{i-1} - 1 \right] \quad (2.3)$$

$$V_{d-ideale} = -V_{ind} + \frac{V_{range}}{4 \cdot 2^n} \cdot \sum_{i=1}^n (a_i - b_i) \cdot 2^{i-1} \quad (2.4)$$

In Fig. 2.3 sono rappresentati anche gli elementi parassiti. La capacità C_p modella tutti i contributi fra i piatti interni dei due banchi verso massa, come la capacità di ingresso del comparatore, i termini parassiti di layout degli elementi capacitivi e delle linee di metallo di V_p e V_n , la capacità parassita associata agli interruttori S_{1p} e S_{1n} . Il termine C_c modella la capacità parassita fra le piste di V_p e V_n . Dal momento che il DAC occupa un'area particolarmente estesa e che tali piste si diramano capillarmente dentro tale area, C_c ha tipicamente una incidenza notevole. Considerando anche i contributi di C_c e C_p , l'effetto sulla funzione di trasferimento del DAC è quello di un errore di guadagno, come mostrato dall'eq. 2.5 in cui N è la risoluzione del convertitore.

$$V_{d-parassiti} = \frac{1}{1 + \frac{C_p + 2C_c}{2^N C_0}} V_{d-ideale} \quad (2.5)$$

Considerando la sola fase di acquisizione, si può osservare che il DAC capacitivo svolge la funzione di inseguimento del segnale differenziale di ingresso. Il passaggio alla prima fase decisionale, invece, porta il DAC a congelare il campione acquisito

conservando la carica accumulata in fase di acquisizione. Da questo punto di vista, quindi, l'architettura a capacità commutate consente di implementare direttamente anche la funzionalità del sample-and-hold, permettendo l'eliminazione del blocco dedicato a tale funzione.

2.5 DAC modificato

La linearità del DAC dipende direttamente da quella degli elementi capacitivi che costituiscono le due matrici. Inoltre, elemento fondamentale è il grado di variabilità al processo ed al matching degli stessi elementi. La tecnologia mette a disposizione sia elementi capacitivi di tipo MIM (Metal Insulator Metal) che MoM (Metal oxide Metal). Come specificato in [1], i dispositivi MIM possiedono un comportamento migliore al processo ed al matching, a fronte di una maggiore occupazione d'area. In tal senso, la tecnologia utilizzata permette di recuperare, poiché dispone le capacità MIM oltre l'ultimo strato di metallo e permette la realizzazione di dispositivi realizzati in substrato direttamente sotto. Altro elemento a favore delle MIM è il minor valore di capacità parassita, perché impatta direttamente sulle prestazioni di architetture a capacità commutate entrando in gioco nelle equazioni del bilancio di carica.

Il valore dell'elemento capacitivo incide direttamente sulla variabilità al matching e sul rumore. Maggiore è il valore e minore è l'incidenza del matching e del rumore termico integrato. D'altra parte, la resistenza propria degli interruttori e le capacità formano un filtro RC che incide sui tempi di assestamento dei potenziali sui piatti delle capacità stesse. Il caso peggiore si ha in corrispondenza della fase di acquisizione, durante la quale la matrice capacitiva offre il massimo valore verso gli interruttori S_{1p} ed S_{1n} . Per garantire la necessaria velocità di assestamento è opportuno scegliere un valore ridotto.

Queste esigenze contrastanti possono essere mitigate ricorrendo alla tecnica di merging degli elementi capacitivi presentata in [2]. Gli elementi possono essere fusi a coppie per formare un nuovo elemento avente lo stesso valore di quelli di partenza. I potenziali ai capi del nuovo elemento devono sempre assumere il valore medio dei corrispettivi potenziali che ad ogni istante si presentano ai capi degli originari. Non

origine	fusione	possibili potenziali		
$32C_0$	$16C_0$	$V_{ip/n}$	$V_c + \frac{V_{range}}{4}$	$V_c - \frac{V_{range}}{4}$
$16C_0$	$8C_0$	$V_{ip/n}$	$V_c + \frac{V_{range}}{4}$	$V_c - \frac{V_{range}}{4}$
$8C_0$	$4C_0$	$V_{ip/n}$	$V_c + \frac{V_{range}}{4}$	$V_c - \frac{V_{range}}{4}$
$4C_0$	$2C_0$	$V_{ip/n}$	$V_c + \frac{V_{range}}{4}$	$V_c - \frac{V_{range}}{4}$
$2C_0$	C_0	$V_{ip/n}$	$V_c + \frac{V_{range}}{4}$	$V_c - \frac{V_{range}}{4}$
$C_0 + C_0$	C_0	$V_{ip/n}$	$V_c - \frac{V_{range}}{4}$	V_c

Tabella 2.3: Tecnica di merging adottata degli elementi capacitivi.

ci sono particolari vincoli nella scelta delle coppie, ma il modo più opportuno trovato è quello indicato in tabella 2.3, nella quale sono anche riportati i possibili potenziali che i piatti esterni possono assumere. Caso particolare è il raggruppamento dei due elementi singoli C_0 . Mentre in tutti gli altri casi il nuovo elemento conserva i potenziali degli originari, per questo specifico compare anche il potenziale V_c . Ciò è dovuto al fatto che nell'architettura classica a_1 assume valori 1 durante la decisione dell'LSB e -1 durante tutte le altre fasi decisionali, mentre a_0 sempre -1. Conservando inalterato il valore dell'elemento capacitivo, questa tecnica consente di dimezzare il carico complessivo di ciascuna matrice, con beneficio sul tempo di assestamento dei potenziali. Inoltre, un minor carico capacitivo si traduce in un minor consumo di potenza da parte della logica che controlla tale carico. Viceversa, mantenendo inalterato il carico complessivo, il valore dell'elemento capacitivo può essere raddoppiato, con beneficio sulla variabilità al matching e sul rumore. In Fig. 2.4 è rappresentato il DAC modificato con la tecnica accennata.

2.6 Implementazione degli interruttori di modo comune

Come accennato nella sezione 2.5, la resistenza intrinseca degli interruttori S_{1p} ed S_{1n} influisce sul tempo di assestamento del potenziale di modo comune V_c ai piatti interni delle matrici capacitive. Da questo punto di vista, l'implementazione degli interruttori con semplici dispositivi MOS richiede larghezze elevate, con beneficio sulla velocità.

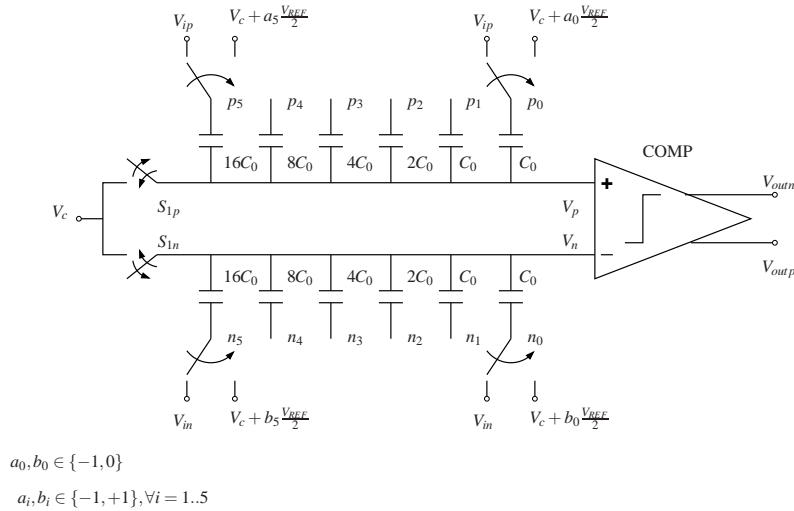


Figura 2.4: DAC modificato secondo la tecnica del merging capacitivo.

D'altra parte, la carica immagazzinata dal DAC durante la fase di acquisizione viene alterata dalle iniezioni che si verificano ogni volta che gli interruttori si spengono. Da questo punto di vista, quindi, i dispositivi MOS che implementano gli interruttori dovrebbero avere larghezze limitate, con beneficio sul consumo di potenza. Essendo il DAC completamente differenziale, solo la differenza di carica iniettata fra i due rami può causare un errore nella conversione. Da tale punto di vista, quindi, assume rilevanza il contributo del mismatch. Dal momento che la quantità di carica iniettata dipende dalla polarizzazione del dispositivo, un ulteriore sorgente d'errore è l'influenza del segnale analogico di ingresso sui rami di uscita del DAC, come spiegato nella sezione 2.7.

Per raggiungere i requisiti di velocità, consumo e funzionalità del DAC, si è utilizzata la struttura rappresentata in Fig. 2.5, ottenuta modificando quella descritta in [3]. Durante le fasi decisionali ($CK = 0$), l'interruttore principale $S_{1p/1n}$ è spento e la capacità C immagazzina un potenziale di circa $V_{dd} - V_{thr}$, in cui V_{thr} è la tensione di soglia di $M7$. Durante la fase di acquisizione, la tensione di gate di $S_{1p/1n}$ è impostata dalla maglia CK , C , $M3$ ad un valore di circa $2V_{dd} - V_{thr}$, maggiore rispetto

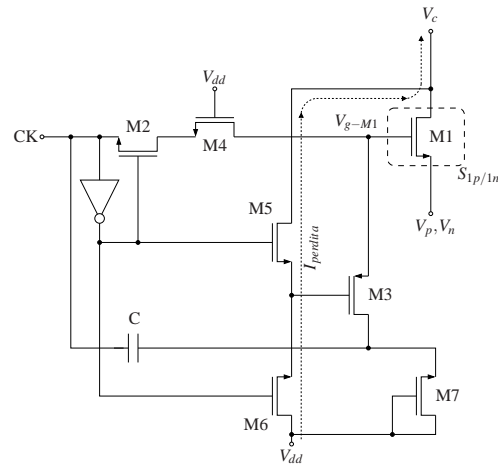


Figura 2.5: Implementazione degli interruttori S_{1p} ed S_{1n} .

all'alimentazione. I dispositivi M4, M5 ed M6 prevengono M2 ed M3 dalla rottura. Inoltre, è presente, anche se non rappresentato, un secondo circuito per innalzare il potenziale di tasca di M3 durante la fase di acquisizione. Tipicamente, gli interruttori con innalzamento del potenziale di gate vengono implementati con architetture a V_{gs} costante. Tali architetture prevedono l'utilizzo di dispositivi ad ossido spesso nella logica di controllo dell'interruttore principale. Ciò porta, tipicamente, ad un maggiore consumo di potenza associata alla maggiore capacità parassita di gate. La soluzione implementata, invece, utilizza solo dispositivi ad ossido sottile, che permettono maggiore velocità di transizione ed un minimo risparmio sul consumo.

Durante la fase di acquisizione, nella quale il potenziale V_{g-M1} viene innalzato oltre V_{dd} , i dispositivi M5 ed M6 fungono da resistenze per polarizzare il gate di M3 ad un valore tale da non romperne l'ossido. In questo frangente si forma un percorso conduttivo fra V_{dd} e V_c attraverso il quale scorre una debole corrente, la cui entità dipende unicamente dal valore resistivo offerto da M5 ed M6, quindi dal processo. Il dimensionamento di questi dispositivi è, quindi, da effettuare tenendo presenti le esigenze contrapposte di velocità del circuito complessivo e di limitazione di detta corrente.

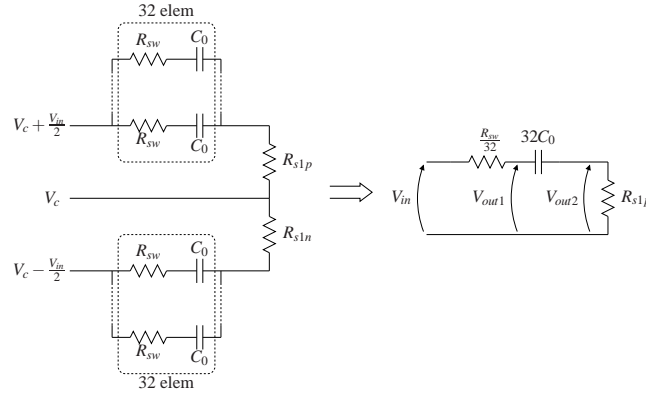


Figura 2.6: Circuito di ingresso durante la fase acquisizione del DAC e sua semplificazione.

2.7 Banda di ingresso

Il circuito di ingresso della slice è rappresentato in Fig. 2.6. Durante la fase di acquisizione, gli interruttori p_i ed n_i di Fig. 2.4, schematizzabili con la propria resistenza R_{sw} , formano, con il rispettivo elemento capacitivo C_0 , un blocco di 32 elementi in parallelo. L'interruttore di modo comune è chiuso, quindi è rappresentato dalla resistenza $R_{s1p,n}$. Per uno studio alle basse frequenze, si considera il circuito semplificato di Fig. 2.6. La funzione di trasferimento (FdT) fra V_{in} e V_{out1} consente di capire come il segnale analogico viene trasferito al piatto superiore delle capacità. L'espressione di tale FdT è:

$$FdT_1 = \frac{V_{out1}}{V_{in}} = \frac{1 + s32C_0R_{s1p}}{1 + s32C_0(R_{s1p} + R_{sw})} \quad (2.6)$$

In Fig. 2.7 è rappresentato sia il diagramma asintotico che il risultato della simulazione del modulo di FdT_1 . L'indicatore verticale è posizionato alla massima frequenza del segnale di ingresso, alla quale l'attenuazione è nulla. Questo indica che il sistema ha sufficiente banda di ingresso per campionare correttamente il segnale. La funzione di trasferimento (FdT) fra V_{in} e V_{out2} consente, invece, di capire come il potenziale sull'armatura interna dell'elemento capacitivo viene influenzata dal segna-

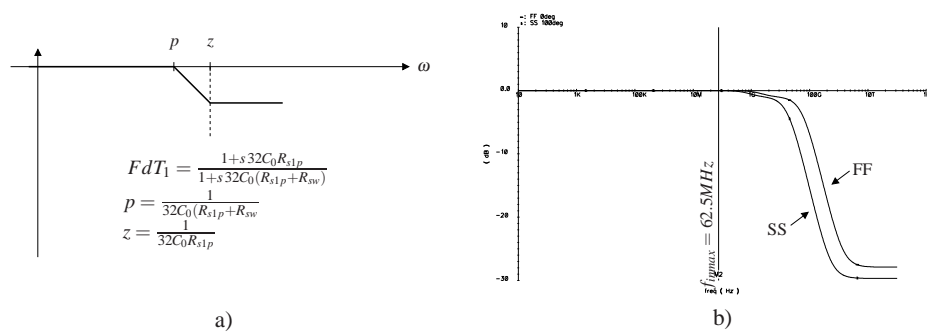


Figura 2.7: a) Diagramma asintotico di FdT_1 . b) FdT_1 ottenuta da simulazione

le di ingresso. Questa problematica nasce dall'assenza di un blocco di S/H dedicato. Esso, infatti, fornisce un segnale costante che viene, quindi, disaccoppiato dal modo comune proprio dalla capacità del DAC. Nella struttura proposta, invece, il segnale di ingresso al DAC è variabile nel tempo e, attraverso la capacità, arriva sull'armatura opposta come indicato dalla seguente espressione:

$$FdT_2 = \frac{V_{out2}}{V_{in}} = \frac{s32C_0R_{s1p}}{1+s32C_0(R_{s1p}+R_{sw})} \quad (2.7)$$

In Fig. 2.8 è rappresentato sia l'andamento asintotico che simulato di FdT_2 . Alle alte frequenze, le capacità parassite degli interruttori danno il loro contributo, trascurato nell'eq. 2.7. Alla massima frequenza di ingresso, si ha una attenuazione di un fattore 10 (-20 dB circa) nel caso peggiore. Ciò significa che il DAC campiona il segnale di ingresso sporcato da una sua copia attenuata e sfasata di +90 gradi.

2.8 Interferenza fra slice

L'architettura interallacciata del convertitore complessivo pone un problema di interferenza fra due slice consecutive. In Fig. 2.9 è mostrata la gestione delle fasi di conversione fra le varie slice. Mentre $slice_i$ esce dalla fase di acquisizione, $slice_{i+1}$ vi entra. Quando gli interruttori S_{i+1} e $S_{c(i+1)}$ si chiudono, si instaura un flusso di corrente fra V_c e V_{in} per compensare il profilo di carica in DAC_{i+1} . Tale corrente genera

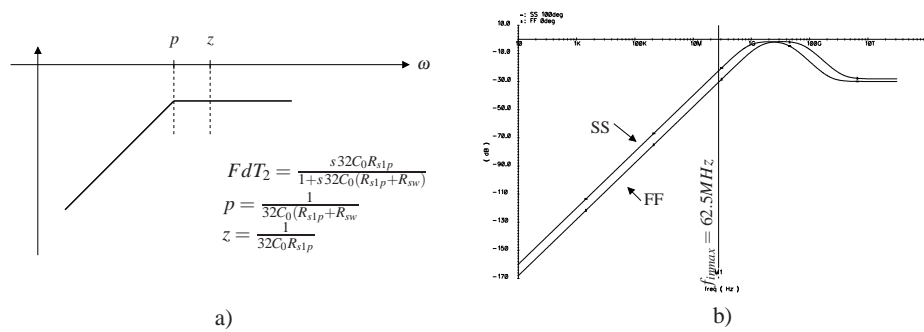


Figura 2.8: a) Diagramma asintotico di FdT_2 . b) FdT_2 ottenuta da simulazione

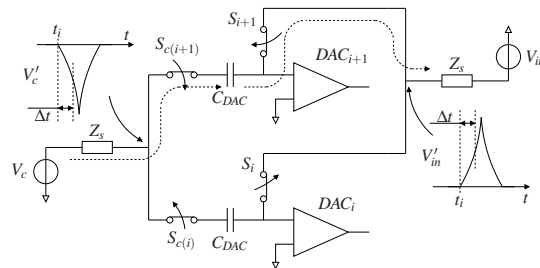


Figura 2.9: Fenomeno di interferenza fra slice.

nei nodi comuni V'_{in} e V'_c dei picchi di tensione. Dal momento di tutti gli interruttori S vengono pilotati nello stesso istante, il tempo di ritardo intrinseco Δt degli interruttori fa sì che DAC_i campioni il valore $V'_{in}(t_1 + \Delta t) - V'_c(t_1 + \Delta t)$. Avendo i picchi di tensione verso opposto, in tale differenza essi si sommano, determinando un errore nel campionamento che non è più possibile recuperare.

2.9 Comparatore

Tipicamente, il comparatore è costituito dalla cascata di uno o più stadi di amplificazione e un latch, come indicato in [4] [5]. La fase di amplificazione necessita di velocità, perciò si scelgono architetture a basso guadagno e larga banda. Il latch deve rigenerare il segnale analogico di uscita dal DAC in uno digitale, perciò si implementano architetture con retroazione positiva controllate dal un segnale di clock. Nel lavoro proposto, gli stadi di amplificazione sono stati rimossi ed il latch rigenerativo è stato collegato direttamente a valle del DAC, consentendo un notevole risparmio di potenza.

La scelta dell'architettura del latch rigenerativo è stata eseguita tenendo presenti i vincoli di velocità e di consumo. In Fig. 2.10 viene raffigurato lo schema ed il principio di funzionamento del comparatore. Quando il clock CK è alto ($\overline{CK} = 0$), il transistor di coda $M4$ è spento mentre i dispositivi $M5$ sono accesi. Il comparatore viene portato in una condizione di reset nella quale entrambe le uscite si portano basse e non c'è consumo di corrente oltre quello di leakage. Durante questa fase, gli ingressi, ovvero i potenziali di uscita del DAC differenziale, si assestano al valore finale, sbilanciando il potenziale di gate della coppia di ingresso $M1$. Nello stato $CK = 0$, l'accensione di $M4$ e lo spegnimento degli $M5$ abilitano la rigenerazione del segnale differenziale presente all'ingresso in quel momento tramite la retroazione positiva formata dai dispositivi $M2$ e $M3$. Dal momento in cui la retroazione si è innescata, nessuna ulteriore variazione dei potenziali di ingresso viene elaborata. Durante questa fase i potenziali V_x si muovono rapidamente verso massa, ma non la raggiungono. Questo induce un limitato consumo di corrente statica che dipende dalla condizione di lavoro dei dispositivi $M1$ e $M4$ e quindi dal processo. In questa architettura, il principale consumo è quello dinamico che si registra durante le transizioni da una fase all'altra.

2.10 Interazione comparatore-DAC

La retroazione positiva del comparatore, utile e necessaria per rigenerare un segnale differenziale anche di piccola entità in uno digitale, induce nei nodi interni del com-

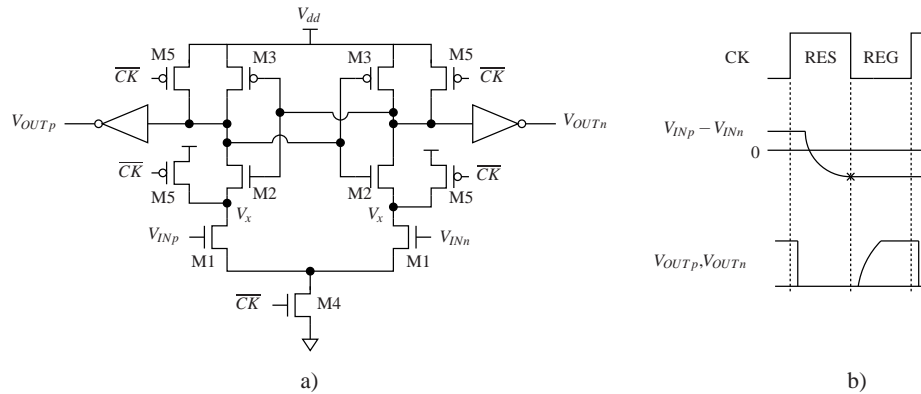


Figura 2.10: Comparatore: a) Architettura; b) Principio di funzionamento.

paratore stesso escursioni elevate in tempi molto brevi. In Fig. 2.11, sono raffigurati la coppia di ingresso del comparatore ed i due rami del DAC che ad essa si interfacciano. I potenziali V_x , proprio a causa della natura del comparatore, eseguono un'escursione di poco inferiore a V_{dd} in un lasso temporale molto breve. Tramite la capacità parassita C_{gd} , tale variazione induce una corrente verso il DAC ($I_{ritorno}$) che ne modifica la distribuzione di carica. Essendo ΔV_{Cgd} dipendente dalla variazione della tensione ai suoi capi ed essendo l'uscita del DAC uno dei nodi coinvolti, ΔV_{Cgd} è asimmetrica fra i rami del DAC, quindi lo è anche $I_{ritorno}$, che agisce asimmetricamente sui due banchi capacitivi. Inoltre, essendo la tensione di uscita del DAC dipendente ad ogni passo del ciclo di conversione dal segnale analogico di ingresso, si può concludere che l'errore introdotto da $I_{ritorno}$ dipende dal segnale da campionare.

Una valutazione dell'errore introdotto può essere fatta considerando che ad ogni passo decisionale i nodi V_x eseguono due transizioni opposte: una verso il basso quando il comparatore entra nella fase di rigenerazione ed una in senso opposto quando ne esce ed entra nella fase di reset. Essendo tali fronti consecutivi, le relative iniezioni di carica non si compensano, perché ad ogni fronte cambia il profilo di carica e quindi i potenziali di uscita del DAC. Le eq. 2.8 e 2.9 modellano, anche se in modo qualitativo, l'effetto, sul DAC ad n bit e modificato, delle iniezioni di carica conseguenti

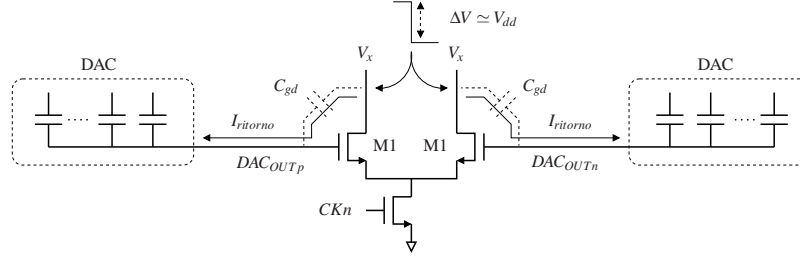


Figura 2.11: Interazione comparatore-DAC: principio di funzionamento.

all'ingresso nella fase di rigenerazione ($\Delta Q_{d-i-rig}$) e nella successiva fase di reset ($\Delta Q_{d-i-res}$) su V_d e V_c in un generico istante decisionale j del ciclo di conversione.

$$V_{d-j dec} = V_{d-j ideale} + \frac{1}{2^{n-1}C_0} \left[\sum_{i=j+1}^n \Delta Q_{d-i-res} - \sum_{i=j}^n \Delta Q_{d-i-rig} \right] \quad (2.8)$$

$$V_{c-j dec} = V_{c-j ideale} + \frac{1}{2^{n-1}C_0} \left[\sum_{i=j+1}^n \Delta Q_{d-i-res} - \sum_{i=j}^n \Delta Q_{d-i-rig} \right] \quad (2.9)$$

Essendo le iniezioni diverse istante per istante, la carica residua modifica il valore di V_d e di V_c ad ogni passo decisionale, introducendo un errore.

2.11 Registro SAR

Questo blocco implementa l'algoritmo di ricerca binario controllando gli interruttori n_i e p_i di Fig. 2.4 . Ad ogni passo, è necessario che il vettore di bit di controllo sia completamente stabilizzato affinché il DAC fornisca l'uscita sulla quale il comparatore deve decidere. Risulta quindi fondamentale cercare l'architettura più veloce nell'assestare il vettore di controllo. In [6] vengono presentate alcune soluzioni architetture.

Lo schema classico, mostrato in Fig. 2.12, utilizza un registro a scorrimento per temporizzare la sequenza di conversione (REG SEQ) ed un registro per memorizzare i dati (REG COD). Ad ogni passo decisionale, l'ipotesi sul bit da decidere è eseguita

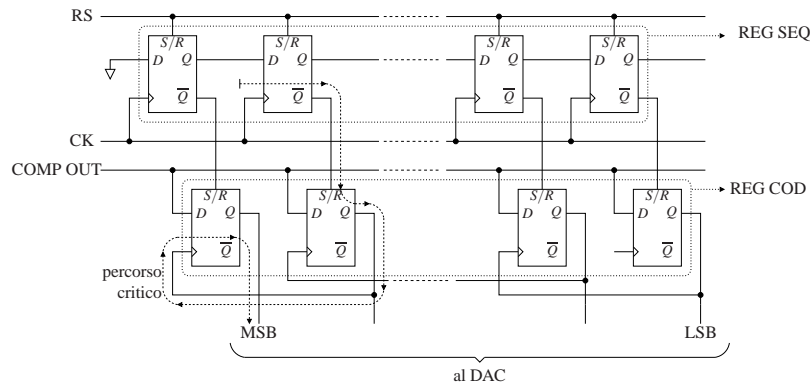


Figura 2.12: Architettura classica e percorso critico.

da REG SEQ pilotando l'ingresso S/R (set/reset) del flip-flop (FF) interessato. Nello stesso istante, questo stesso FF abilita l'acquisizione del bit precedente. In questo tipo di architettura, la fase di acquisizione è dettata da quella di ipotesi, definendo, quindi, il percorso critico mostrato in Fig. 2.12.

La versione proposta in [6] per velocizzare il SAR è rappresentata in Fig. 2.13. Invece di due registri, questa versione utilizza una sola riga di Flip-Flop JK (FF-JK) a formare una sorta di percorso diretto ed una rete di porte logiche disposte a formare una sorta di retroazione. Durante la fase di acquisizione, tutti i FF-JK vengono impostati con uscita bassa ($Q_i = 0$). Conseguentemente, tutti i segnali P_i commutano al valore alto ($P_i = 1$). Al primo fronte di salita di CK, che definisce l'ingresso nel passo decisionale di MSB, il primo FF-JK si trova in stato di commutazione o di set, dipendentemente dal valore di COMP OUT. In entrambi i casi si ha $Q_{MSB} = 1$, che corrisponde all'ipotesi sul bit più significativo. Di conseguenza, il FF-JK successivo si porta nello stato di commutazione o di set (sempre dipendentemente da COMP OUT). Al successivo fronte di salita di CK, che definisce l'inizio del secondo passo di conversione, Q_{MSB} registra la decisione sul bit più significativo, Q_{MSB-1} si porta alto e di conseguenza $P_{MSB} = 0$. Da questo momento in poi, il primo FF-JK non vede più alcuna transizione del segnale CK, quindi il suo stato risulta congelato. In Fig. 2.14 sono raffigurati gli andamenti di alcuni segnali. Si può notare che, mentre

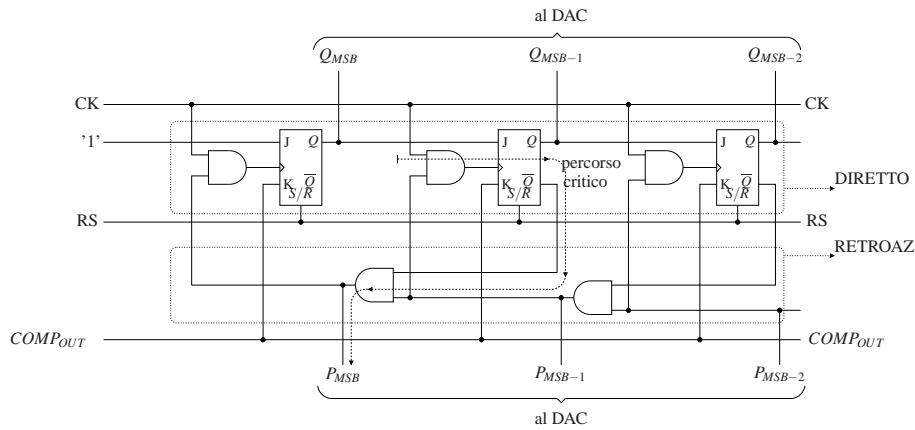


Figura 2.13: SAR modificato: architettura.

il vettore Q si sviluppa per approssimazioni successive, il vettore P indica il passo di conversione, quindi essi formano il vettore di controllo del DAC. In questa soluzione, il percorso critico coinvolge due porte logiche ed un FF-JK, migliorando, quindi, le prestazioni della soluzione classica. In Fig. 2.15 è rappresentata l'architettura completamente sincrona utilizzata [7]. Sia il ramo diretto che quello di retroazione sono formati da Flip-Flop di tipo D (FF-D). A differenza delle soluzioni precedenti, entrambe le catene operano con lo stesso clock (CK). Tramite reti logiche combinatorie (CLD_i e CLF_i), ad ogni periodo si genera il valore che dovrà assumere l'uscita del FF-D nel periodo successivo. Questo consente un grande risparmio di potenza, infatti le reti logiche hanno un intero periodo di CK per impostare un valore logico corretto, permettendo, quindi, un notevole rilassamento sulle dimensioni. Inoltre, il percorso critico è costituito da un singolo FF-D, riducendo, quindi, al minimo il ritardo di elaborazione del SAR. Le reti combinatorie sono state realizzate per generare segnali P_i e Q_i con l'andamento rappresentato in Fig. 2.14.

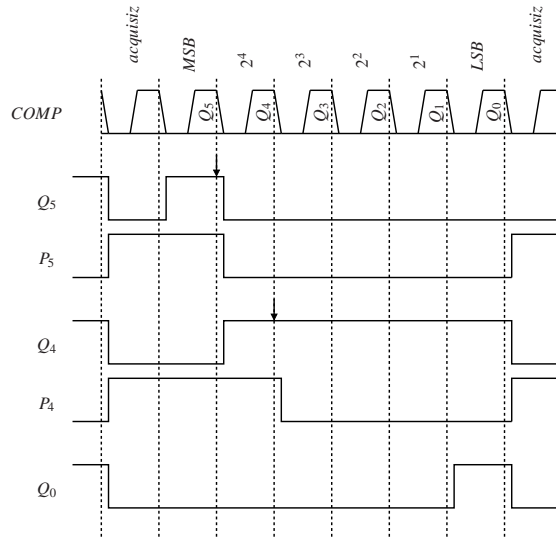


Figura 2.14: SAR modificato: andamento di alcuni dei principali segnali.

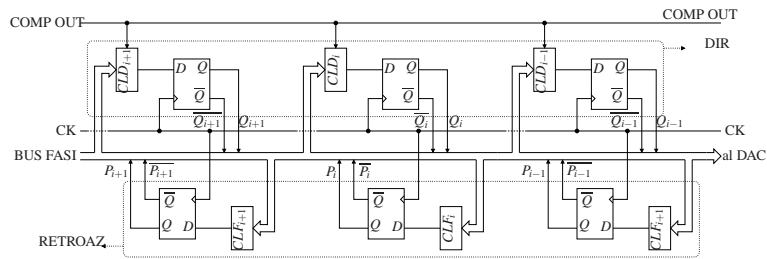


Figura 2.15: Architettura completamente sincrona.

Capitolo 3

Misure effettuate

3.1 Introduzione

In questo capitolo verranno presentati i risultati delle misure effettuate sul convertitore per medie frequenze. Al fine di eseguire i test con la strumentazione disponibile ed implementare qualche semplice elaborazione software, il sistema è stato corredato di alcuni semplici blocchi dei quali verranno presentate la loro funzionalità e l'eventuale impatto sulle misure.

Al fine di identificare punti di forza e debolezze del sistema implementato, sono stati condotti test a singolo tono di analisi armonica e densità di codice sia sulla singola slice che sul convertitore completo.

Il convertitore proposto è stato realizzato utilizzando la tecnologia ST 90nm GP. In Fig. 3.1 è mostrata la foto del chip. In Fig. 3.2 è mostrata la scheda utilizzata per i test. Si possono riconoscere le varie sezioni per la generazione e la gestione dei segnali di ingresso ed uscita del convertitore stesso. Il segnale sinusoidale viene fornito tramite una pista differenziale adattata. Il clock interno è ottenuto squadrandolo un segnale sinusoidale con un opportuno ricevitore. I bit di uscita vengono prima scalati su una tensione di 3 V e poi elaborati da un analizzatore di stati logici (LSA). I riferimenti del DAC vengono generati e forniti direttamente dalla scheda. L'interruttore di start viene utilizzato per inizializzare l'interleaving delle slice nel punto corretto.

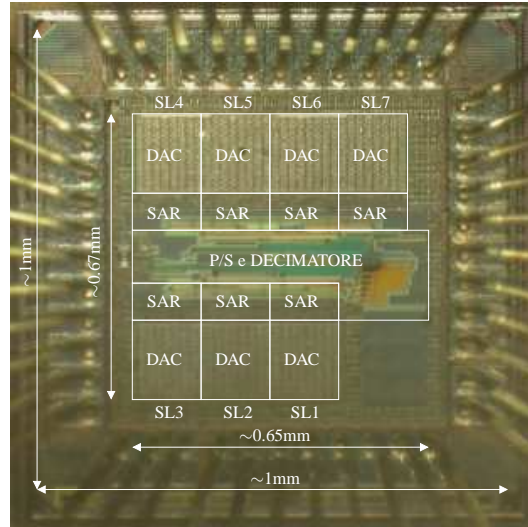


Figura 3.1: Foto del chip.

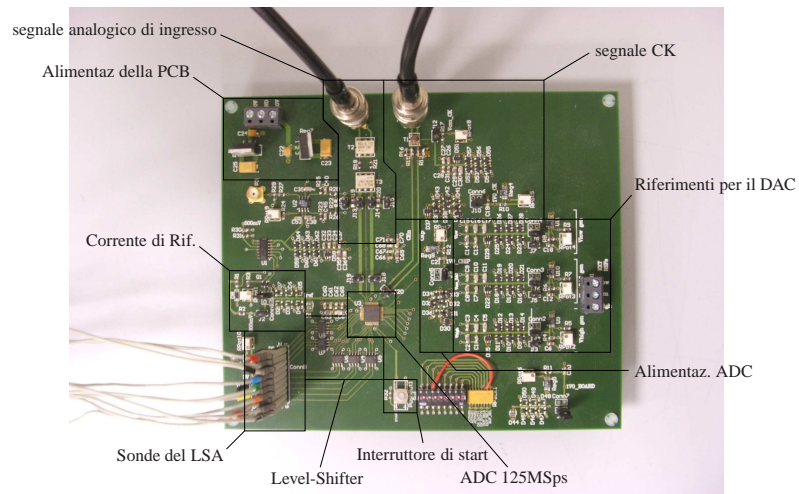


Figura 3.2: Scheda utilizzata per i test.

3.2 Decimatore

Il chip è stato progettato per interfacciarsi con la scheda sulla quale è alloggiato utilizzando la logica CMOS. Alla frequenza di campionamento (125 MSps), i segnali digitali di uscita, affetti da sovraelongazioni e riflessioni, potrebbero non essere interpretati correttamente dalla strumentazione (LSA). Per questo motivo sul chip è stato implementato un decimatore digitale con fattore 32, come mostrato in Fig. 3.3.

L'effetto sul segnale di uscita dell'ADC è quello di un secondo campionamento alla frequenza di $125MSps/32$. Volendo una sequenza di uscita composta da M campioni coerenti, la frequenza del segnale di ingresso espressa dall'eq. 1.2 si modifica come segue:

$$f_{in} = \frac{32 \cdot M - k}{32 \cdot M} f_s \quad (3.1)$$

E' possibile ricostruire lo spettro dei campioni decimati a partire da quello dei campioni in uscita dall'ADC. Considerando il numero di campioni anziché la frequenza, in uscita dal DAC lo spettro è rappresentato nell'intervallo $[0, \dots, 32M/2]$. Il nuovo campionamento suddivide tale intervallo in 32 finestre di dimensione $M/2$, i cui contributi frequenziali vengono proiettati nel primo intervallo. Come mostrato in Fig. 3.3, ipotizzando che il termine fondamentale f_{in} disti k codici da $32M/2$ ed appartenga all'ultima sotto-finestra, il decimatore riporta f_{in} a distanza di k codici dall'origine.

3.3 Correzione dell'offset

Nella logica di test è stato implementato un sistema di identificazione che indica che indica a quale slice appartiene il campione digitale di uscita. Il vettore di uscita, quindi, è costituito di 9 bit: 6 corrispondono al campione e 3 codificano la slice. Questo sistema consente di eseguire la misurazione dell'offset di ogni slice. L'analisi armonica sarà eseguita sulla sequenza di campioni compensati.

La metodologia di misurazione dell'offset adottata consiste nel calcolare, per ogni slice, la media dei campioni di uscita associati ad un segnale differenziale di ingresso nullo. L'offset da compensare è la differenza fra tale media ed il suo valore ideale. In Fig. 3.4 sono presentate le sinusoidi, alla frequenza di Nyquist, ricostruite dai

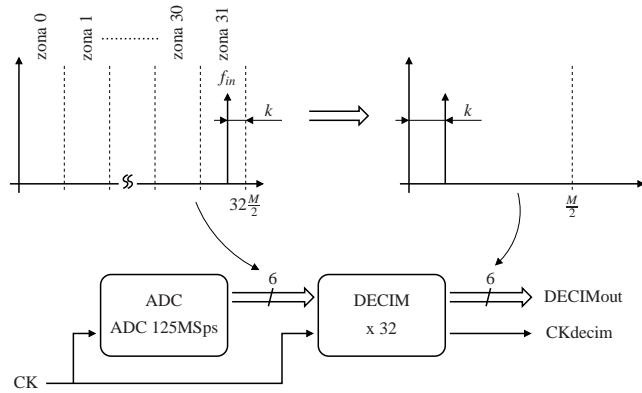


Figura 3.3: Effetto del decimatore.

campioni non compensati che corretti. Si può notare come dai campioni non corretti si ricostruisca una curva che appare più spessa. Questo è dovuto al fatto che da ogni slice si ricostruisce una sinusoide traslata dal proprio offset. Applicando la compensazione, lo spessore diminuisce, perché tutte le sinusoidi ricostruite vengono traslate verso lo stesso valore medio. Il fatto che non si ottenga una sinusoide perfettamente nitida indica che rimane una porzione di offset non compensata. Inoltre, le non-linearità che non vengono corrette dall'algoritmo di compensazione utilizzato, come il guadagno, contribuiscono ad inspessire la curva.

In Fig. 3.5 ed in Fig. 3.6 sono riportati gli spettri delle sequenze di uscita non compensata e compensata rispettivamente. Si può notare come, a parità di ampiezza del segnale di ingresso (stesso SFSR in entrambi i casi), la compensazione dell'offset a livello della singola slice permette di recuperare circa un bit effettivo, infatti ENOB passa da circa 4.17 a circa 5.13.

3.4 Mismatch fra slice

Le architetture interallacciate, presentando diversi canali in parallelo, soffrono il mismatch, perché introduce una piccola variabilità fra le prestazioni dei vari canali. In

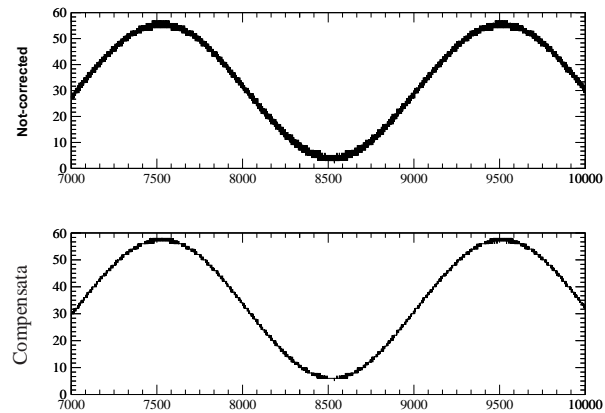


Figura 3.4: Sinusoide ricostruita con e senza compensazione dell'offset.

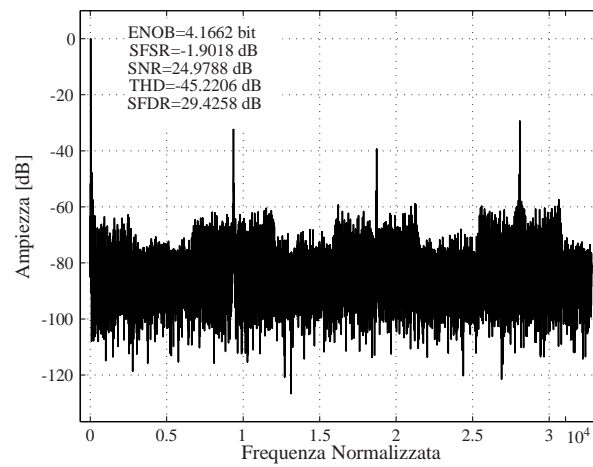


Figura 3.5: Spettro dei campioni non compensati.

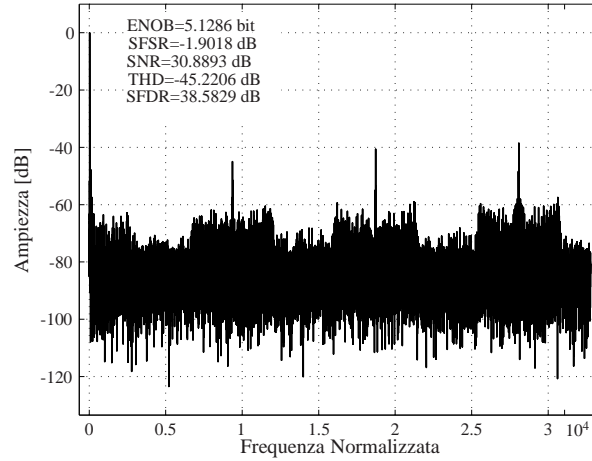


Figura 3.6: Spettro dei campioni compensati.

Tabella 3.1: Contributi frequenziali dovuti a mismatch fra canali.

Parametro	Frequenza
offset	$K \frac{f_s}{M} \quad k = 1, 2, 3, \dots$
skew and gain	$\pm f_{in} + K \frac{f_s}{M} \quad K = 1, 2, 3, \dots$
INL	$\pm n f_{in} + K \frac{f_s}{M} \quad K = 0, 1, \dots, M-1 \quad n = 0, 1, 2, \dots$

[8] e [9] vengono presentati gli effetti del mismatch di offset, guadagno, clock-skew, INL e DNL sullo spettro di uscita del convertitore, indicandone anche i contributi frequenziali. In tabella 3.1 sono raccolte le espressioni di tali contributi, nelle quali f_s è la frequenza di campionamento, M è il numero di canali e f_{in} è la frequenza del segnale di ingresso. Si può notare come tutti i contributi si sviluppino intorno alla frequenza $K \frac{f_s}{M}$. L'offset introduce contributi solo alle frequenze $k f_s / M$. Guadagno e skew sono correlati fra loro e si localizzano a $\pm f_{in}$ dai contributi di offset. Ragionando in termini di frequenza normalizzata, avendo scelto $k = 33$ nell'eq. 1.2, le linee introdotte da mismatch di guadagno e skew distano ± 33 da quelle di offset. Le li-

nee corrispondenti a mismatch di INL sono localizzate a distanza $\pm n f_{in}$ dall'offset. Questo corrisponde ad un pettine le cui linee distano 33 codici l'una dall'altra e la cui prima componente ha la stessa frequenza normalizzata di guadagno e skew. In [9], viene mostrato qualitativamente l'effetto del mismatch di DNL. In corrispondenza della fondamentale ed alle frequenze $K \frac{f_s}{M}$, ovvero esattamente quelle di offset, si ha l'insorgere di diverse componenti spettrali ad ampiezze progressivamente minori. Utilizzando queste espressioni e tenendo conto dell'effetto introdotto dal decimatore, è possibile ricostruire dove si localizzano i contributi di mismatch nello spettro di uscita. In Fig. 3.7 è rappresentato uno zoom dello spettro di Fig. 3.6 intorno alla frequenza fondamentale. La stessa figura indica anche la sorgente delle linee spettrali più evidenti. I contributi spurii dominanti hanno un'ampiezza variabile fra $-50 dB_c$ e $-60 dB_c$ circa dovuti a variabilità di INL. In Fig. 3.8 è rappresentato uno zoom intorno ad una delle linee di offset. La linea più sporgente, con ampiezza di circa $-40 dB_c$, è legata all'offset. Le linee alla sua destra ed alla sua sinistra, di ampiezza di circa $-55 dB_c$, sono il risultato della sovrapposizione delle altre quattro sorgenti. Considerando che a queste frequenze l'effetto di DNL è ormai terminato e che la INL ha contributi intorno a $-70 dB_c$, è ragionevole pensare che le sorgenti principali delle due linee a $-55 dB_c$ siano guadagno e skew. Per meglio comprendere il fenomeno, si sono indagate le prestazioni delle singole slice. In tabella 3.2 sono raggruppati i risultati. La slice con il peggior comportamento dinamico è la numero 7 ($ENOB = 5.56$), che rimane, comunque, ben sopra le prestazioni dinamiche del convertitore complessivo. INL e DNL rimangono ben sotto l'unità, garantendo la monotonicità della funzione di trasferimento. In Fig. 3.10 e 3.9 sono riportati i diagrammi di DNL e INL, rispettivamente, calcolate con metodo best-fit, per la slice 5, che rappresenta il caso peggiore. Inoltre la variabilità è piuttosto contenuta, in accordo con i limitati contributi visibili sullo spettro dei campioni compensati. Il guadagno normalizzato, che nel caso ideale è unitario, varia da un minimo di 1.38 ad un massimo di 1.58. Confrontando l'offset ottenuto dall'analisi CD con quello compensato, ottenuto per troncamento di quello misurato, si osserva una elevata variabilità di quello residuo: da 0.79 a 1.27, corrispondente ad un delta di 0.48. Per confronto, la stessa sequenza di campioni dalla quale si ottiene lo spettro di Fig. 3.6 è stata corretta con i valori

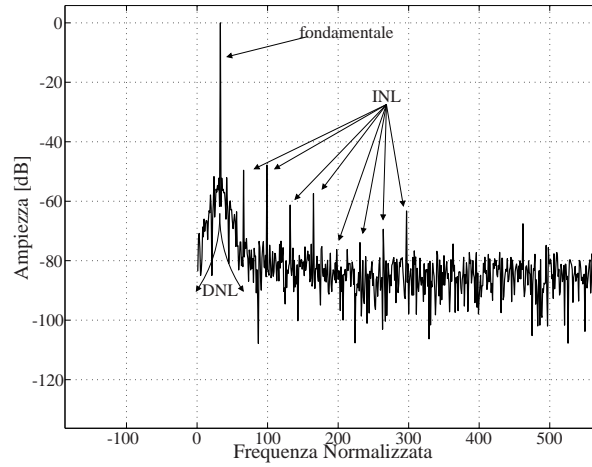


Figura 3.7: Spettro dei campioni compensati intorno alla fondamentale.

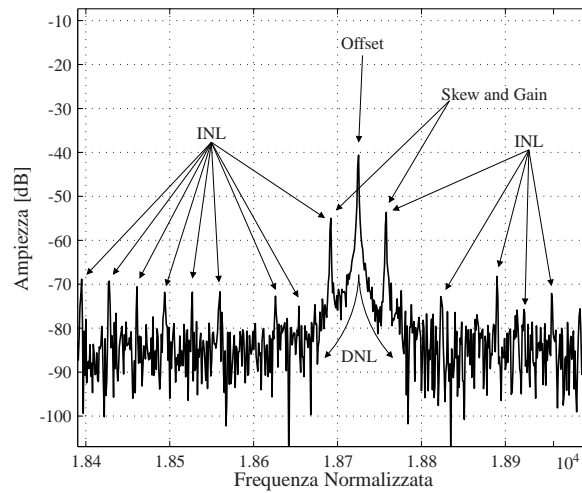


Figura 3.8: Spettro dei campioni compensati intorno ad un contributo di mismatch sull'offset.

Tabella 3.2: Analisi CD e FFT su ogni slice.

SLICE n^0	ENOB	GUADAGNO NORM	OFFSET [LSB]			INL [LSB]	DNL [LSB]
			CD	MEAS	COMP		
1	5.68	1.38	0.95	0.5	0	0.28	0.36
2	5.81	1.40	1.08	0.5	0	0.39	0.40
3	5.73	1.58	2.79	2.5	2	0.34	0.45
4	5.70	1.38	3.27	2.6	2	0.52	0.63
5	5.65	1.46	1.82	1.5	1	0.57	0.68
6	5.61	1.39	1.20	0.6	0	0.48	0.57
7	5.56	1.56	2.45	2.5	2	0.39	0.51

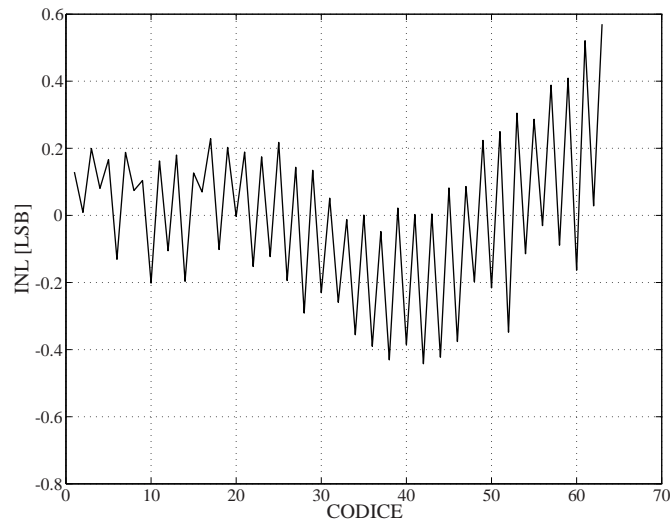


Figura 3.9: INL della slice 5 con metodo best-fit.

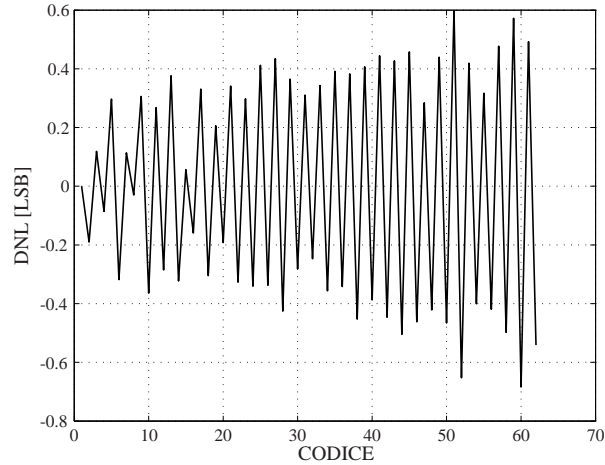


Figura 3.10: DNL della slice 5 con metodo best-fit.

di offset ottenuti dall'analisi CD arrotondati all'intero più vicino. In tale modo, l'offset residuo varia da -0.21 a $+0.45$, corrispondente ad un delta di 0.66 . In Fig. 3.11 è presentato lo spettro associato a questa nuova sequenza. Nonostante la variabilità dell'offset residuo aumenti leggermente, le prestazioni dinamiche rimangono sostanzialmente inalterate, passando da 5.13 a 5.15 bit effettivi. Da ciò si può concludere che la tipologia di arrotondamento applicata non incide significativamente sulle prestazioni del convertitore.

3.5 Conclusioni

Considerando i risultati delle misure effettuate, appare chiaro che l'algoritmo di compensazione adottato è necessario per portare le prestazioni del convertitore oltre l'obiettivo minimo di 5.1 bit effettivi. D'altra parte, le prestazioni notevolmente migliori delle singole slice lasciano pensare che l'algoritmo stesso non sia così efficiente. Prova ne è il fatto che, pur compensando la stessa sequenza con i valori di offset ricavati dall'analisi CD arrotondati all'intero più prossimo, le prestazioni del convertitore non

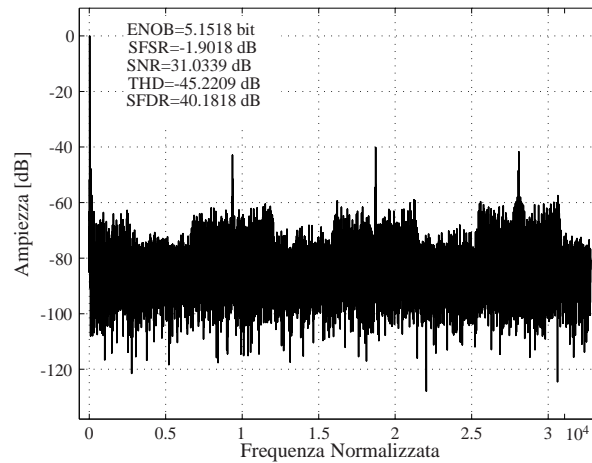


Figura 3.11: Spettro dei campioni compensati con i valori di offset estrapolati dall'analisi CD.

migliorano sensibilmente. Il punto debole dell'algoritmo implementato risiede nella sua incapacità di correggere porzioni di LSB. Per tale motivo, possibile sviluppo può essere l'implementazione di tecniche di compensazione che agiscano direttamente a livello analogico.

Il guadagno normalizzato presente in tabella 3.2 assume valori molto distanti da quello ideale. Ciò è dovuto a due contributi: le capacità parassite che tendono a diminuire la pendenza della caratteristica e l'interferenza fra le slice, che, viceversa, tende ad aumentare la pendenza. Dati i valori misurati, appare chiaro che il secondo contributo è predominante. Per limitare il fenomeno, è possibile inserire una rete per generare segnali di controllo non contemporanei e non sovrapposti degli interruttori.

Il consumo di corrente medio misurato alla tensione di alimentazione di 1 V, è di 2.5 mA. In tabella 3.3, il convertitore proposto viene confrontato con altri, più o meno recenti, realizzati anche in architetture diverse. Al fine di ottenere un confronto significativo, tutti i convertitori hanno frequenze di conversione paragonabili. Considerando l'architettura, si può notare come i convertitori SAR presentino le figure

Tabella 3.3: Confronto fra il convertitore realizzato ed altre architetture.

	ADC proposto	[10]	[11]	[12]
Risoluz.	6	10	6	6
Freq. convers.	125 MSps	100 MSps	220 MSps	400 MSps
Tecnologia	90 nm	0.18 μm	0.18 μm	0.35 μm
Architettura	SAR	pipeline	SAR	flash
Area	0.44 mm ²	2.5 mm ²	0.2 mm ²	1.2 mm ²
Alimentaz.	1 V	1.8 V	1.8 V	3 V
Freq. ingresso	62.5 MHz	99 MHz	200 MHz	94.4 MHz
ENOB	5.13	8.17	4.73	4.94
Potenza	2.5 mW	67 mW	6.8 mW	190 mW
FoM [pJ/conv]	0.57	1.17	0.64	32.78

di merito migliori grazie al limitato numero di componenti analogici. In particolar modo si segnala l'architettura flash presentata in [12].

Confrontando il convertitore proposto con quello presentato in [11], si può osservare come l'ADC progettato abbia una FoM leggermente migliore. Questo risultato è stato raggiunto grazie alle scelte architeturali esposte nei capitoli precedenti fra le quali l'implementazione della funzione di Sample-and-Hold direttamente nel DAC, l'utilizzo del merging capacitivo e l'implementazione completamente sincrona del registro delle approssimazioni successive.

Capitolo 4

Architettura del convertitore per alte frequenze

4.1 Introduzione

In questo capitolo verranno presentate le scelte architetture che contraddistinguono il convertitore per alte frequenze. In tabella 4.1 sono riportate le specifiche salienti del convertitore. La base del progetto è costituita dal convertitore per medie frequenze presentato nei capitoli 2 e 3. Nei paragrafi seguenti verrà svolta una breve analisi che parte proprio da tale architettura, presentandone i limiti operativi alle frequenze più elevate e, contemporaneamente, proponendo le possibili soluzioni. Il percorso porterà

Parametro	Progetto 2
Risoluzione nominale	6 bit
Frequenza di conversione	1.5 GSps
Range segnale di ingresso	0.5 V _{pp}
Tensione di alimentazione	1-1.4 V
Tecnologia	TSMC90nm

Tabella 4.1: Specifiche salienti del convertitore per alte frequenze.

alla definizione di una architettura di convertitore adatta per una risoluzione di 6-b ed una velocità di campionamento di 1.5 GSps.

4.2 Criticità generali

In questa sezione verranno presentate le criticità che generalmente affliggono i convertitori, qualunque sia l'architettura nella quale vengono implementati. L'obiettivo è trovare alcuni parametri che consentano di indirizzare le scelte progettuali.

4.2.1 Clock Skew

Nei convertitori time-interleaved, è fondamentale che sia rispettata la temporizzazione fra i campioni analogici affinché il convertitore complessivo abbia prestazioni ottimali. In Fig. 4.1, sono rappresentati due sub-convertitori (ADC_1 e ADC_2) interallacciati. Idealmente, i loro istanti di campionamento t_{s1} e t_{s2} distano di un periodo di clock $T_{CK} = T_s = 1/f_s$, essendo f_s la frequenza di campionamento del convertitore complessivo. A causa di asimmetrie sulla linea di distribuzione, i due ADC operano con segnali ritardati l'uno rispetto all'altro. In Fig. 4.1, ad esempio, si fa l'ipotesi che il clock di ADC_2 sia ritardato di Δt_{skew} rispetto al clock di ADC_1 . In questo caso, non essendo rispettata la relazione temporale fra i due campioni successivi $V_{in}(T_{s1})$ e $V_{in}(T_{s2})$, le prestazioni dinamiche del convertitore complessivo risulteranno degradate. Il degrado è tanto maggiore quanto più Δt_{skew} è grande. Inoltre, a parità di skew, il degrado è tanto maggiore quanto più elevata è la frequenza di campionamento. E', quindi, fondamentale capire il valore di skew massimo che, al tasso di campionamento obiettivo di 1.5 GSps, permetta di conservare prestazioni dinamiche accettabili. In Fig. 4.2 è rappresentato l'andamento del numero di bit effettivi in funzione dello skew fra i segnali di clock di due ADC in modalità time-interleaved come quelli di Fig. 4.1. Ponendo come obiettivo 5.1 bit effettivi, lo skew massimo fra gli istanti di campionamento deve essere di circa 8 ps.

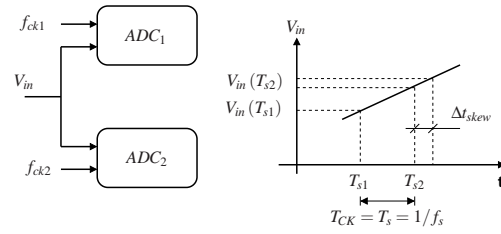


Figura 4.1: Clock skew nei sistemi time-interleaved.

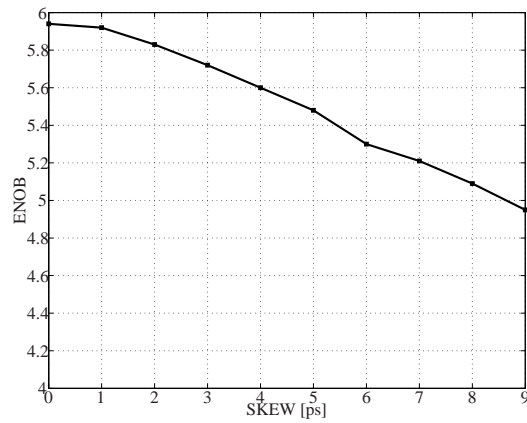


Figura 4.2: ENOB in funzione dello skew.

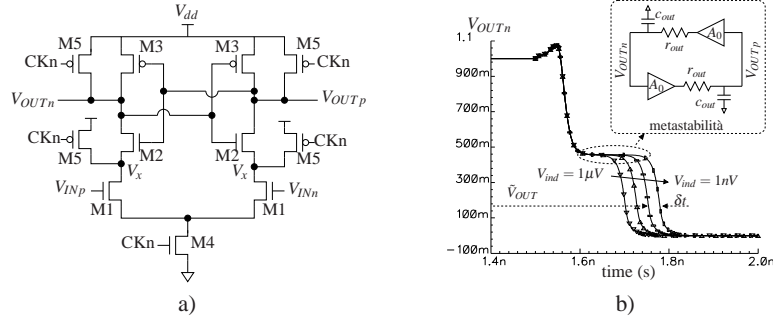


Figura 4.3: Comparatore: a) Schema; b) Andamento di V_{OUTn} per segnale di ingresso di ampiezza decrescente.

4.2.2 Bit Error Rate del Comparatore

Il comparatore rigenerativo, come presentato nella sezione 2.9, converte il segnale differenziale di ingresso in un segnale digitale usando come soglia di scatto lo zero. In Fig. 4.3.a è riproposto lo schema del comparatore ed in Fig. 4.3.b è mostrato l'andamento di V_{OUTn} al variare del segnale differenziale di ingresso. Una volta sganciato dalla condizione di reset, il comparatore entra nello stato metastabile tipico dei latch. In [13] viene presentata una semplice analisi ai piccoli segnali del comparatore quando si trova nello stato metastabile. Il circuito equivalente è raffigurato in Fig. 4.3.b. L'andamento dei segnali di uscita è:

$$V_{OUTp} = V_{ind} e^{\frac{A_0 - 1}{\tau} t} \quad (4.1)$$

$$V_{OUTn} = -V_{ind} e^{\frac{A_0 - 1}{\tau} t} \quad (4.2)$$

$$A_0 = g_m r_{out} \quad (4.3)$$

$$\tau = \frac{1}{r_{out} C_{out}} \quad (4.4)$$

in cui r_{out} e C_{out} sono, rispettivamente, la resistenza e la capacità verso massa dei nodi di uscita e V_{ind} è la tensione di ingresso differenziale. Tanto più V_{ind} è piccolo, tanto più lentamente evolveranno i nodi V_{OUTp} e V_{OUTn} . Per segnali di ingresso particolarmente piccoli, il comparatore permane nello stato metastabile così a lungo da

non riuscire a fornire, nel tempo concessogli per la rigenerazione, un valore logico valido al sistema a valle. In tale caso, l'informazione proveniente dal comparatore può essere interpretata in qualsiasi modo. La Bit-Error-Rate (BER) indica la probabilità che il comparatore fornisca proprio un valore metastabile. In [13] viene indicata l'espressione della BER per un comparatore rigenerativo:

$$BER = e^{-\frac{A_0-1}{\tau}t_{comp}} \quad (4.5)$$

nella quale t_{comp} è il tempo a disposizione del comparatore per rigenerare il segnale differenziale. Inoltre, in [13] viene proposto anche un metodo per determinare la BER tramite simulazione. Considerando lo stesso valore di uscita \tilde{V}_{OUT} e valori di ingresso $V_{ind1} = 10 \cdot V_{ind2}$, dall'eq. 4.1 si ottiene:

$$\frac{\tilde{V}_{OUTp}}{\tilde{V}_{OUTp}} = \frac{V_{ind1}}{V_{ind2}} e^{\frac{A_0-1}{\tau}\delta t} \implies \frac{A_0-1}{\tau} = \frac{\ln(10)}{\delta t} \quad (4.6)$$

Questa espressione indica la modalità per ricavare i parametri A_0 e τ dell'eq. 4.5, che dipendono dall'architettura e dalla tecnologia. In Fig. 4.3.b è mostrata una famiglia di caratteristiche associata ad un ingresso V_{ind} decrescente a passi di una decade ($1\mu V$, $100nV$, $10nV$ e $1nV$). Considerando le curve più a destra, corrispondenti a $V_{ind} = 10nV$ e $V_{ind} = 1nV$ rispettivamente, il termine δt che compare nell'eq. 4.6 è la distanza temporale fra le curve associata al potenziale di uscita \tilde{V}_{OUT} .

4.3 Limiti del SAR per medie frequenze

In questa sezione verranno discusse le problematiche strettamente associate all'architettura SAR presentata nei capitoli 2 e 3 allorché venga controllata con un segnale di clock ad alta frequenza. Verranno presi in considerazione solo gli aspetti critici, mostrandone prima l'impatto sulla funzionalità e proponendo poi la soluzione implementata.

4.3.1 Vincoli temporali

Il funzionamento logico di un convertitore SAR è stato presentato nella sezione 2.3. In Fig. 4.4 è riportato lo schema di principio. Come già spiegato, affinché il conver-

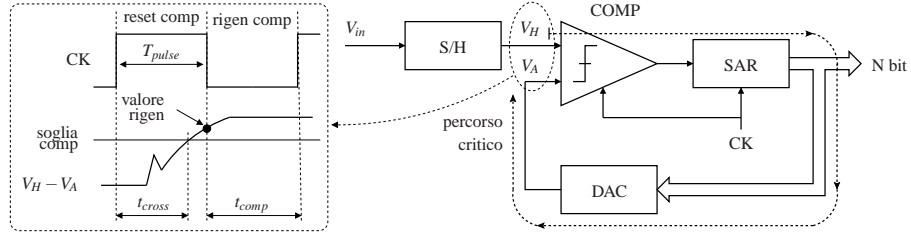


Figura 4.4: Andamento del segnale differenziale in ingresso al comparatore.

titore operi correttamente è necessario che il riferimento di tensione V_A si assesti in un tempo sufficiente da permettere al comparatore di rigenerare il valore corretto. Aumentare la frequenza operativa del clock significa concedere un minor lasso di tempo sia all'assestamento di V_A che alla rigenerazione da parte del comparatore. In Fig. 4.4 è rappresentato il caso in cui, a causa della frequenza estremamente elevata, il fronte di discesa di CK , che indica l'inizio della rigenerazione da parte del comparatore, avviene prima del completo assestamento di $V_H - V_A$. Dal momento che è il comparatore opera sul segno di $V_H - V_A$ (positivo o negativo), il limite inferiore per T_{pulse} è:

$$T_{pulse} > t_{cross} \quad (4.7)$$

dove t_{cross} è l'istante in cui $V_H - V_A$ cambia segno. D'altra parte, l'aumento della frequenza operativa riduce anche il tempo t_{comp} concesso al comparatore per la rigenerazione. Questo impatta direttamente sulla BER e, quindi, sulle prestazioni del convertitore. Dall'eq. 4.5, si ottiene il limite relativo alla massima BER tollerata:

$$t_{comp} > -\frac{\ln(BER_{target})}{\frac{A_0-1}{\tau}} \quad (4.8)$$

Tali vincoli possono essere rispettati eseguendo scelte architettoniche che migliorino la velocità del percorso critico, quali quelle presentate nel capitolo 2. Le simulazioni dimostrano che il vero collo di bottiglia è costituito dalla velocità di elaborazione del DAC che, nel caso peggiore, impone $t_{cross} = 500ps$. Le simulazioni di metastabilità indicano in $\delta t = 40ps$ la massima apertura delle curve di Fig. 4.3.b. Ipotizzando di

operare con un clock avente Duty-Cycle del 50%, dall'eq. 4.7 si ottiene la massima frequenza operativa di 1 GHz e dall'eq. 4.5 si ricava $BER \simeq 3 \cdot 10^{-13}$. D'altra parte, si può pensare di fissare la frequenza di lavoro e di modificare il Duty-Cycle del clock per rispettare entrambi i vincoli temporali. Ipotizzando di poter impostare il duty-cycle ad un valore diverso dal 50% una volta fissata la frequenza di clock, si possono riscrivere le eq. 4.7 e 4.8 proprio in funzione del Duty-Cycle (DC) del clock:

$$T_{pulse} = \frac{DC}{f_{CK}} \quad (4.9)$$

$$t_{comp} = \frac{1 - DC}{f_{CK}} \quad (4.10)$$

$$t_{cross} f_{CK} < DC < 1 + f_{CK} \frac{\ln(BER_{target})}{\frac{\ln(10)}{\delta t}} \quad (4.11)$$

L'eq. 4.11 identifica i limiti superiore ed inferiore del duty-cycle che mantengono la funzionalità del convertitore alla frequenza desiderata. In tabella 4.2 sono raccolti i valori dettati dall'eq. 4.11 al variare della frequenza operativa di clock e considerando $t_{cross} = 500ps$, $\delta t = 40ps$ e $BER_{target} = 10^{-7}$. Alla frequenza di 1.5 GHz non esiste alcun valore di duty-cycle accettabile, quindi il convertitore progettato per medie frequenze non è in grado di operare a tale frequenza.

f_{CK}	Lim inf	Lim sup
750 MHz	0.375	0.79
1 GHz	0.5	0.72
1.2 GHz	0.6	0.66
1.5 GHz	0.75	0.58

Tabella 4.2: Limiti superiore ed inferiore del duty-cycle al variare per alcuni valori f_{CK} di interesse. Parametri: $t_{cross} = 500ps$, $\delta t = 40ps$ e $BER_{target} = 10^{-7}$.

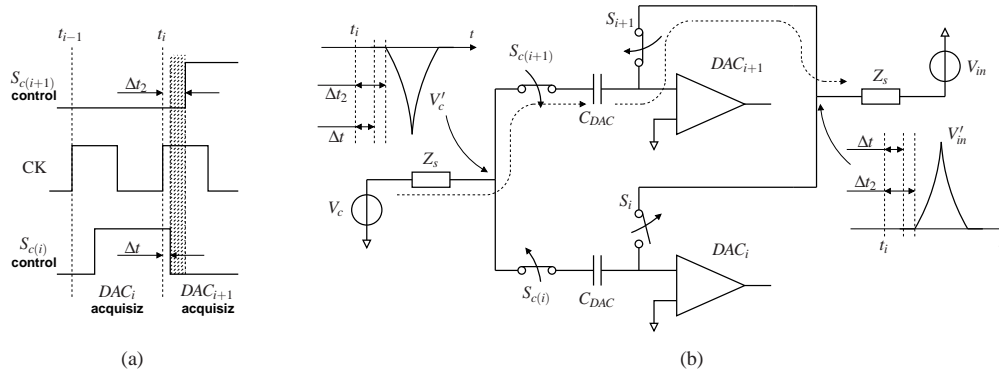


Figura 4.5: Interferenza fra slice: a) nuovo pilotaggio degli interruttori di modo comune; b) configurazione degli interruttori all'istante $t_i + \Delta t_2$.

4.3.2 Interferenza fra slice

Nella sezione 2.8 è stato descritto il fenomeno dell'interferenza fra le slice, fenomeno che nasce dalla scelta progettuale di implementare il Sample-and-Hold nel DAC capacitivo e dalla tecnica time-interleaved. Nel convertitore per medie frequenze, gli interruttori di modo comune di due slice successive vengono pilotati contemporaneamente. In questo modo, la slice che entra nella fase di acquisizione disturba quella precedente che, invece, ne sta uscendo. Nel progetto del convertitore per alte frequenze, si è eliminato il problema utilizzando dei segnali di controllo per gli interruttori di modo comune non contemporanei, come mostrato in Fig. 4.5.a. Con questo andamento dei segnali, gli interruttori S_i , S_{i+1} e $S_{c(i)}$ si muovono contemporaneamente, ma nessun percorso conduttivo è presente fra V_c e V_{in} . Ciò significa che all'istante $t_i + \Delta t$ di effettivo campionamento di DAC_i , i segnali sui piatti delle capacità non sono disturbati significativamente. All'istante $t_i + \Delta t_2$, l'interruttore $S_{c(i+1)}$ si chiude dando luogo alla corrente che compensa la carica sulle capacità e genera i picchi di tensione.

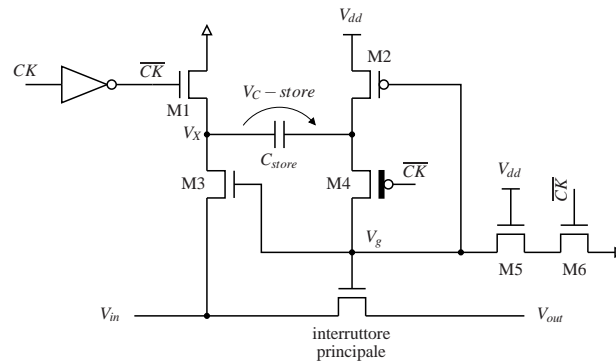


Figura 4.6: Architettura a V_{gs} costante degli interruttori di modo comune.

4.3.3 Interruttori di modo comune

Nella sezione 2.6 sono stati introdotti i motivi che portano all'implementazione degli interruttori di modo comune con architetture che innalzano il potenziale di pilotaggio dell'interruttore principale. E' stata inoltre messa in luce l'esistenza di un percorso critico, durante la fase di acquisizione del DAC, che genera un debole flusso di corrente da V_{dd} verso V_c . Tale corrente, essendo generata dalla commutazione di interruttori, sporca il potenziale V_c accoppiandosi con le induttanze parassite di bonding. Alla frequenza di 125 MHz, la corrente ha il tempo per stabilizzarsi, quindi alla fine della fase di acquisizione il DAC non risente di tale effetto.

Operando a frequenze più elevate, il DAC corre il rischio di campionare in un istante di tempo nel quale l'effetto di tale corrente non si sia ancora assestato. In questo caso, essendo la corrente generata dalla commutazione di interruttori, aumentare la velocità di questi ultimi non risolve il problema. Infatti, ad una maggiore velocità di commutazione corrispondono transizioni più repentine della corrente, le quali, attraverso le induttanze di bonding, generano disturbi di maggiore ampiezza che si assestano in più tempo.

L'architettura utilizzata per l'implementazione degli interruttori di modo comune è la classica a V_{gs} costante rappresentata in Fig. 4.6. Quando $CK = 0$, i dispositivi $M1$, $M2$ ed $M6$ sono accesi, mentre $M3$ ed $M4$ sono spenti. La capacità C_{store} memorizza un

potenziale $V_{C-store} = V_{dd}$ ed il potenziale $V_g = 0$. Durante tale fase, l'interruttore principale risulta essere spento. Quando $CK = 1$, i dispositivi $M1$, $M2$ ed $M6$ sono spenti, mentre $M4$ si accende. La condizione del dispositivo $M3$ dipende dal potenziale V_g . All'inizio di questa fase di funzionamento, è ipotizzabile che $V_X \approx 0$ trovandosi in alta impedenza. Appena $M4$ si accende, si ottiene $V_g = V_X + V_{C-store} \approx V_{dd}$, che è sufficiente per accendere $M3$, anche se non in piena regione lineare. Da questo momento, V_X inizia la transizione verso V_{in} e, contemporaneamente, V_g cresce polarizzando $M3$ sempre più in regione lineare. Si instaura una sorta di retroazione positiva che porta, a regime, ad avere, teoricamente, $V_X = V_{in}$ e $V_g = V_{in} + V_{dd}$. Contemporaneamente, all'aumentare di V_g corrisponde l'accensione dell'interruttore principale che risulterà essere completamente in regione lineare quando i potenziali in gioco avranno raggiunto i valori massimi. Durante tale fase, il dispositivo $M5$ protegge $M6$ dalla rottura dell'ossido scalando V_g . Avendo implementato l'interruttore con un MOS a canale n , durante l'accensione esso si trova polarizzato con $V_{gb} = V_g$. Questo non costituisce pericolo poiché, a regime, il canale nel dispositivo, essendo completamente formato e polarizzato al potenziale di drain, funge da scudo verso il substrato. In analogo modo si comporta $M3$.

Lo svantaggio di tale architettura, rispetto a quella presentata nella sezione 2.6, è la necessità di utilizzare il dispositivo ad ossido spesso $M4$ per ottenere il massimo della velocità da tale architettura. Questo causa un aumento della capacità complessiva da pilotare che si traduce in un maggior consumo del driver. Punto di forza è, invece, la capacità di polarizzare l'interruttore principale con valori di V_{gs} più elevati, consentendo di contenere le sue dimensioni. D'altra parte, come descritto nella sezione 2.7, la resistenza intrinseca di questi interruttori definisce le caratteristiche di filtraggio durante la fase di acquisizione. Per tale motivo, si è ritenuto opportuno aumentare leggermente le dimensioni dell'interruttore principale rispetto a quelle utilizzate nel convertitore per medie frequenze.

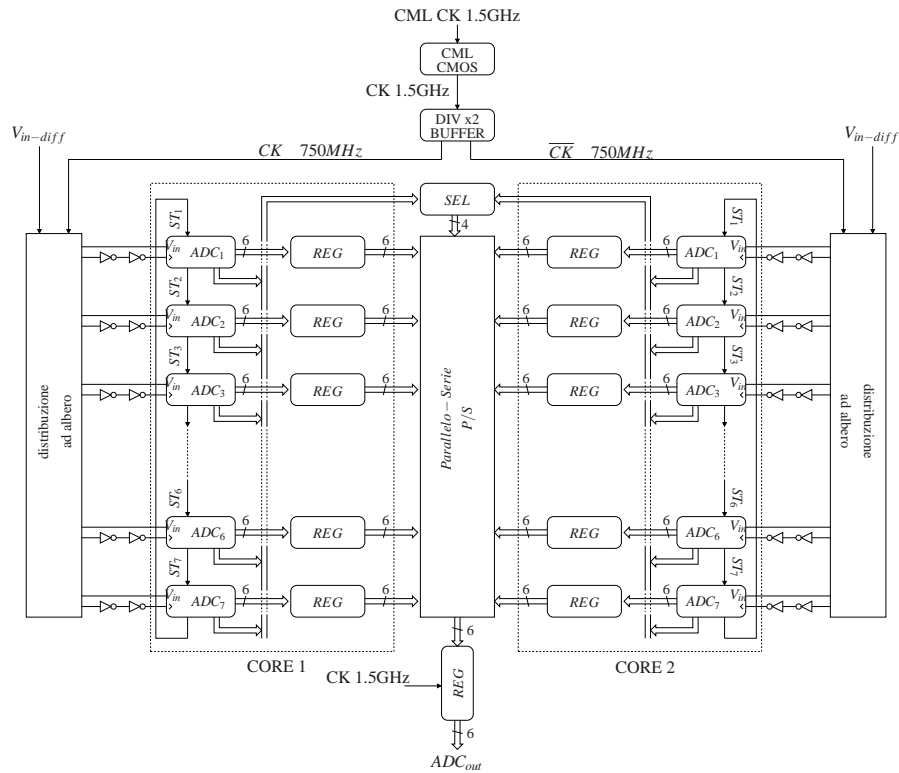


Figura 4.7: Architettura con doppio time-interleaving del convertitore per alte frequenze.

4.4 Architettura per alte frequenze

Considerando quanto esposto nella sezione 4.3, sinteticamente espresso dai dati raccolti in tabella 4.2, ne risulta che l'architettura time-interleaved proposta per il convertitore a medie frequenze non consente l'operatività a 1.5 GSps. Per questo motivo, il convertitore per alte frequenze si basa su un sistema a due livelli di interleaving. In Fig. 4.7 è rappresentato lo schema a blocchi del convertitore. Il sistema è costituito da due convertitori, *CORE 1* e *CORE 2*, interallacciati ed operanti alla frequenza di 750 MHz. Ogni convertitore è costituito da sette sub-convertitori (slice), anch'essi in

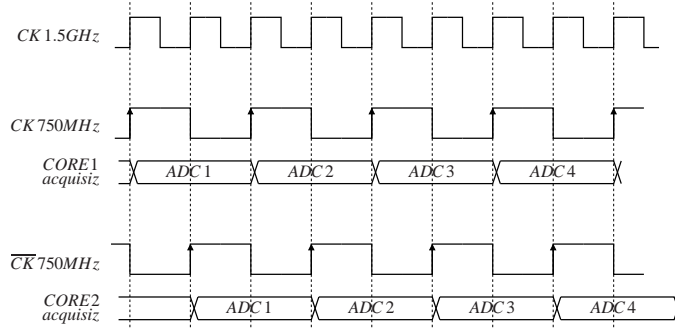


Figura 4.8: Temporizzazione dei due CORE.

modalità time-interleaved. Ogni *CORE* è strutturato come il convertitore per medie frequenze, ad eccezione del registro per memorizzare il campione digitale a valle di ogni slice. Tramite il blocco Parallelo-Serie si seleziona l'uscita da memorizzare nel registro esterno che opera alla frequenza di 1.5 GHz.

In Fig. 4.8 è presentata la temporizzazione dei due CORE. Al CORE 1 viene portato, tramite una distribuzione ad albero, il solo segnale $CK\ 750MHz$, mentre al CORE 2 il solo segnale $\overline{CK}\ 750MHz$. I segnali clock veri e negati con i quali lavorano le singole slice vengono generati per inversione direttamente a monte di ogni slice. Dal momento che il ciclo di conversione di ogni slice è temporizzato dal fronte di salita del suo clock, le slice nella stessa posizione all'interno di ogni CORE avranno cicli di conversione ritardati di un periodo di CK a 1.5 GHz. Considerando la sola fase di acquisizione, si ottiene l'andamento rappresentato in Fig. 4.8. Punto debole di tale tipologia di pilotaggio è il fatto che ad ogni periodo $T_{CK-1.5G}$ il segnale di ingresso viene caricato da due DAC contemporaneamente. Questo può degradare la banda di ingresso del convertitore complessivo. Inoltre, come mostrato in Fig. 4.8, ad ogni periodo $T_{CK-1.5G}$, uno dei due CORE cambia il DAC collegato all'ingresso. Considerando, a titolo d'esempio, l'ADC2 del CORE 1, a metà della sua fase di acquisizione il CORE 2 commuta dall'ADC1 all'ADC2. Proprio questa commutazione introduce un disturbo sul segnale di ingresso che si deve necessariamente esaurire prima della fine della fase di acquisizione dell'ADC2.

La tipologia di distribuzione del CK e la scelta del doppio interleaving portano in primo piano la problematica del clock-skew. Infatti, la condizione limite di 8 ps espressa nella sezione 4.2.1 deve essere garantita sul completo insieme dei 14 diversi segnali di clock, uno per ogni slice. Mentre le componenti sistematiche possono essere eliminate tramite layout estremamente accurati per garantire la massima simmetria dei percorsi, le componenti di rumore (jitter) e di mismatch devono essere verificate. Le simulazioni post-layout della completa catena di generazione dei segnali di clock mostrano che il valore a tre sigma dello skew, considerando sia il rumore dei dispositivi che il mismatch ed il processo, è $SKEW_{3\sigma} = 5.79 ps$, minore rispetto al limite imposto.

4.5 Conclusioni

Il convertitore è stato realizzato fino a livello layout in tecnologia TSMC 90nm LP (Low-Power). In Fig. 4.9 è riportato il layout del convertitore. Si possono riconoscere i due CORE costituiti ognuno da sette slice. Data la necessità, riscontrata nella misurazione del convertitore per medie frequenze, di compensare l'offset a livello di ogni slice, in questo progetto è stato implementato anche il circuito apposito.

Il convertitore è stato simulato a livello post-layout. Il numero di bit effettivi al tasso di Nyquist è di 5.65. Il consumo medio registrato, includendo il sistema di gestione del clock CML, è di 25 mW con tensione di alimentazione di 1 V. La figura di merito è di 0.33 pJ/conv. In tabella 4.3 sono raccolti i dati salienti ed i risultati delle simulazioni post-layout del convertitore proposto. A titolo di confronto, sono anche riportate specifiche e prestazioni di altri convertitori rappresentanti lo stato dell'arte. Data l'elevata frequenza di conversione, l'architettura pipeline non è proposta. Considerando l'architettura, si può notare come quella flash abbia figure di merito di circa dieci volte maggiori, confermando quanto descritto nell'introduzione di questo lavoro di tesi.

Considerando i convertitori in architettura SAR, quello proposto presenta una figura di merito migliore rispetto a quello presentato in [5], nonostante la frequenza di conversione più elevata, circa 2.5 volte, ed il miglior ENOB al tasso di Nyquist.

Tabella 4.3: Confronto fra il convertitore realizzato ed altri.

	ADC proposto	[14]	[5]	[15]
Risoluz.	6	6	6	6
Freq. convers.	1.5 GSps	1.6 GSps	600 MSps	1.2 GSps
Tecnologia	90 nm	0.18 μm	90 nm	0.13 μm
Architettura	SAR	flash	SAR	flash
Alimentaz.	1 V	1.8 V	1 V	1.5 V
Freq. ingresso	750 MHz	793.8 MHz	329 MHz	700 MHz
ENOB	5.65	5.66	4.86	5.16
Potenza	25 mW	300 mW	10 mW	160 mW
FoM [pJ/conv]	0.33	3.73	0.523	3.2

Tale risultato è stato raggiunto grazie a tutte le scelte architettoniche utilizzate nel primo progetto (DAC capacitivo con tecnica del merging e SAR completamente sincrono) e grazie alla scelta del doppio livello di interleaving.

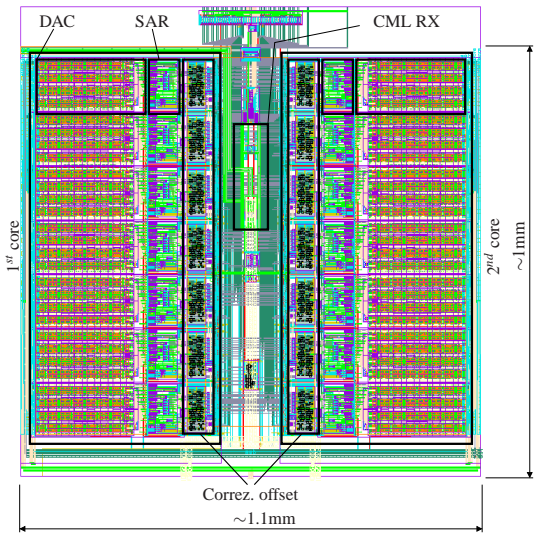


Figura 4.9: Layout del convertitore per alte frequenze.

Bibliografia

- [1] Queennie S. I. Lim, Albert V. Kordesch and Richard A. Keating "Performance comparison of MIM and Metal Finger Capacitors for analog and RF application", Proc. of *IEEE RF and Microwave Conference*, 5-6 Ottobre 2004.
- [2] Y.D. Jeon et al. "Acquisition-Time Minimization and Merged-Capacitor Switching Techniques for Sampling-Rate and Resolution Improvement of CMOS ADCs", Proc. of *IEEE ISCAS*, Maggio 2000.
- [3] M. D. Scott, B. E. Boser, K. S. J. Pister, "An Ultralow-Energy ADC for Smart Dust", *IEEE Journal of Solid-State Circuits*, vol. 38, NO. 7, July 2003.
- [4] B.P. Ginsburg, A.P. Chandrakasan, Dual Scalable 500MS/s, 5b Time-Interleaved SAR ADCs for UWB applications, Proc. of *IEEE CICC*, 2005.
- [5] D. Draxelmayr, A 6b 600MHz 10mW ADC Array in Digital 90nm CMOS, Proc. of *IEEE ISSCC*, 2004.
- [6] T. O. Anderson, " Optimum Control Logic for Successive Approximation Analog-to-Digital Converters", *JPL Technical Report*, 32-1526, vol. XIII.
- [7] S. Dondi, D. Vecchi, A. Boni, M. Bigi, SA 6-bit, 1.2 GHz Interleaved SAR ADC in 90nm CMOS, Proc. of *IEEE Ph.D Research in Microelectronics and electronics*, PRIME, 2006.

-
- [8] N. Kurosawa, K. Maruyama, H. Sugawara, K. Kobayashi, "Explicit analysis of channel mismatch effects in time-interleaved ADC systems", *JPL Technical Report*, 32-1526, vol. XIII.
- [9] N. Kurosawa, H. Kobayashi, K. Kobayashi, "Channel linearity mismatch effects in time-interleaved ADC systems", *JPL Technical Report*, 32-1526, vol. XIII.
- [10] Jipeng Li, Un-Ku Moon, "A 1.8-V 67-mW 10-bit 100-MS/s Pipelined ADC Using Time-Shifted CDS Technique", *IEEE Journal of Solid-State Circuits*, vol. 39, no. 9, September 2004.
- [11] Chun-Cheng Liu et al. "A 6-bit 220-MS/s Time-Interleaving SAR ADC in 0.18- μm Digital CMOS Process", Proc. of *IEEE VLSI-DAT*, 2009.
- [12] S. Tsukamoto, W. G. Schofield, T. Endo, "A CMOS 6-b, 400-MSample/s ADC with Error Correction", *IEEE Journal of Solid-State Circuits*, vol. 33, no. 13, Dec. 1998.
- [13] Rudy van de Plassche, "CMOS Integrated Analog-to-Digital and Digital-to-Analog Converters", 2^a edizione, *Kluwer Academic Publishers*, 2003.
- [14] Chun-Chieh Chen, Yu-Lun Chung, Chen-I Chiu, "6-b 1.6-GS/s Flash ADC with Distributed Track-and-Hold Pre-Comparators in a 0.18 μm CMOS", Proc. of *IEEE ISSCS*, 2009.
- [15] C. Sandner et al. "A 6bit, 1.2 GSps Low-Power Flash-ADC in 0.13 μm Digital CMOS", Proc. of *IEEE ISSCC*, 2004.

Ringraziamenti

Con questo lavoro di tesi si conclude un periodo lungo e difficile, fatto di momenti non esaltanti e di momenti eccezionali. Uno dei momenti più esaltanti è stato il calcolo dell'ENOB del convertitore misurato. Cavolo era buono. Cavolo, allora tutto quello che ho studiato ed applicato non sono bolle astratte. Che felicità. Ha dato un sapore migliore agli anni di studio all'università. Sicuramente, il momento più esaltante sarà la fine della discussione del dottorato, perché porrà definitivamente la parola fine a questa avventura che, bella è bella, ma quanta fatica. Addirittura sono stato lì lì per mollare, sbattendo in quel posto un pezzo dei miei desideri. Per fortuna c'erano loro.... Chi sono? Tutti coloro che ringrazio.

Primi fra tutti vorrei ringraziare i ragazzi storici del lab: Dando, Guidek, Facioz, Silvia, Smilla, Cristiano. Loro ci sono sempre stati e spero ci saranno sempre. Mi hanno dato forza e voglia di andare avanti grazie alla vitalità fuori e dentro l'università. Che casino che facciamo, ma che bello.

In secondo luogo vorrei ringraziare i professori Boni, Morandi e Chiorboli che mi hanno dato un sacco di dritte, aiuto e sostegno.

Gli amici di Ronceses e Cavazzoli (Kukku, Corra, Simo, Ronnie e il Monta su tutti) sono stati parte fondamentale del mio percorso. Anche se ultimamente non ci vediamo più molto spesso (si diventa grandi ed alcuni diventano anche papà), loro mi hanno accompagnato per gran parte della mia vita. Se sono qui oggi è anche per merito loro.

Il calcio. Non tanto il gioco o lo sport, ma la squadra degli ultimi due anni. E' stato molto bello fare allenamento con loro. E' stata una bella valvola di sfogo, soprattutto

nei momenti più duri.

Ai miei genitori dico solo grazie. Non c'è bisogno di dire di più. Mi hanno dato questa possibilità.

Per ultima, ma solo perché mi piace chiudere in bellezza (in tutti i sensi), vorrei ringraziare Giorgia. Mi ha letteralmente sopportato per tutti e tre gli anni del dottorato e non solo. E' unica, bellissima e grandiosa. Mi ha insegnato tanto.